

BAB V

Penutup

5.1 Kesimpulan

Berdasarkan hasil perancangan serta pengujian sistem maka dapat disimpulkan beberapa hal yaitu :

1. Operasi yang digunakan dalam FPGA menggunakan operasi heksadesimal.
2. Operasi pembagian tidak dapat di sintesis karena pada bilangan heksadesimal tidak mengenal tanda koma.
3. Gerbang logika yang mampu dilayani oleh FPGA Xilinx spartan2 Xc2s50-PQ208 hanya 50 ribu gerbang logika dasar digital sehingga untuk perancangan ini sudah cukup hanya dengan menggunakan FPGA seri ini.
4. Penggunaan display lebih dari 1 digit dapat dilakukan dengan cara membagi frekuensi pada *clocknya*.
5. Tanda *WARNING* yang muncul saat program disintesis hanyalah merupakan informasi yang memberi tahu bahwa *syntax* ada yang tidak digunakan dan bukan suatu kesalahan.

5.2 Saran

Karena perancangan kalkulator ini dinilai masih banyak kekurangannya maka untuk pengembangan selanjutnya disarankan untuk memperhatikan beberapa hal berikut:

1. Kedepan hendaknya perancangan kalkulator dapat dilakukan dengan menambahkan *digit* masukan dan operasinya.
2. Jika pengendalian dilakukan dengan FPGA hendaknya diperhitungkan banyaknya gerbang logika dasar digital yang mampu dilayani. Untuk perancangan kalkulator ini cukup dengan menggunakan Xilinx Spartan2 Xc2s50-PQ208, karena seri ini sudah memiliki jumlah gerbang yang lebih dari cukup.
3. Dengan kemampuan FPGA yang lebih besar antara *display* dengan sistem utama dapat menggunakan hanya dengan satu buah FPGA.

