

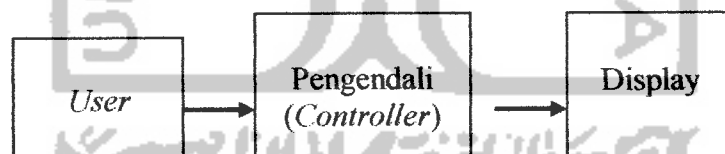
## BAB III

### PERANCANGAN SITEM

#### 3.1 Perancangan Unit Penjumlah dan Pengurang 8 bit

FPGA (*Field Programmable Gate Arrays*) adalah salah satu piranti yang termasuk dalam kelompok *programmable logic Devices* (PLD). FPGA berbeda dari *general-purpose* mikroprosesor (misalnya intel) dalam hal fleksibilitas *logic*-nya. Mikroprosesor mempunyai *hardware* yang tetap. *Assembly programmer* memprogram suatu komputasi dengan keterbatasan pada tetapnya banyaknya register dan fungsi ALU (*arithmetic and logic unit*) dan pada banyaknya bit suatu register. Pada FPGA tidak terbatas akan pemakaian register-register dan dapat mengimplementasikan rangkaian kombinasi maupun rangkaian skensial. Jadi intinya FPGA digunakan untuk direkonfigurasi, bukan diprogram.

Perancangan umum Penjumlah dan Pengurang 8 bit dapat dilihat pada blok diagram perancangan di bawah ini.



**Gambar 3.1** Blok Diagram Penjumlah dan Pengurang 8 bit

Pada blok diagram di atas terbagi atas bagian-bagian yang masing-masing mempunyai fungsi berlainan tetapi saling berkaitan. Adapun fungsi dari bagian-bagian tersebut adalah:

### 3.1.1 *User/pengguna*

*User/pengguna* pada bagian ini dipakai sebagai input. Sebab pengguna akan merekonfigurasi FPGA menjadi fungsi – fungsi tertentu yang akan ditampilkan ke penampil.

### 3.1.2 *Pengendali (Controller)*

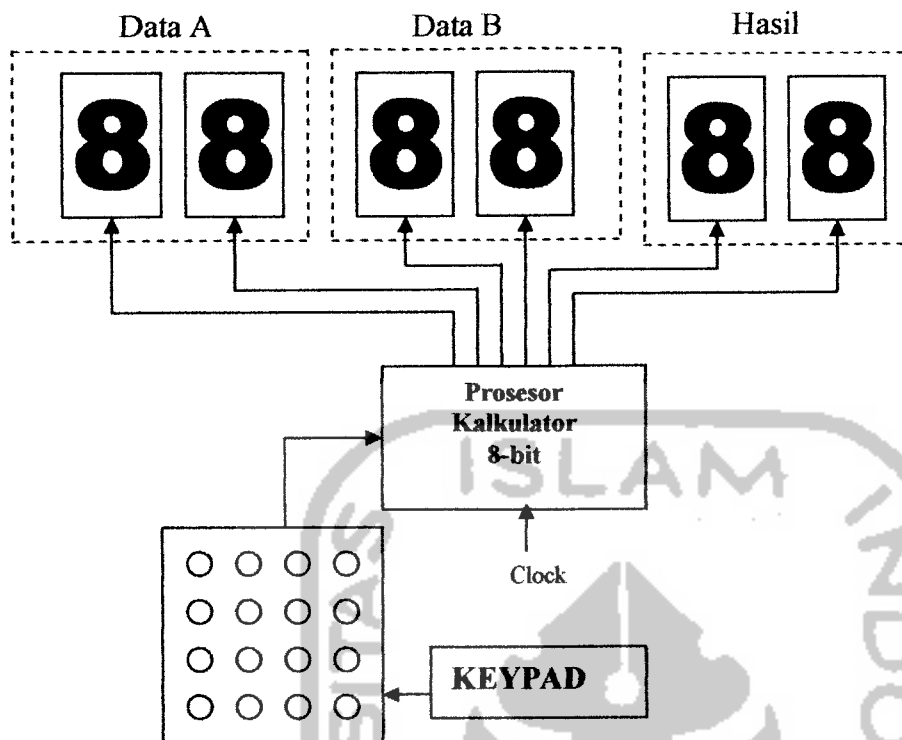
Pengendali yang kita gunakan adalah FPGA. Blok ini berfungsi sebagai *interface* (antarmuka) antara pengguna dengan penampil dan ALU (*arithmetic and logic unit*), karena dalam blok semua proses komputasi diproses dan di eksekusi. Ketika ada data yang dimasukkan oleh *user* maka FPGA akan memproses dan mengeksekusi data tersebut, kemudian data hasil eksekusi ditransfer oleh FPGA ke *Penampil 7-Segmen*.

### 3.1.3 *Display*

Pada bagian ini digunakan penampil 7-Segmen sebagai output dari semua nilai masukan yang dikehendaki pengguna.

## 3.2 *Perancangan Software*

Perancangan khusus Kalkulator dapat dilihat pada Blok diagram dari sistem kalkulator ditunjukkan oleh gambar 3.2. Kalkulator ini menerima masukan dua bilangan masing-masing selebar 8-bit.



Gambar 3.2 Blok diagram dari sistem

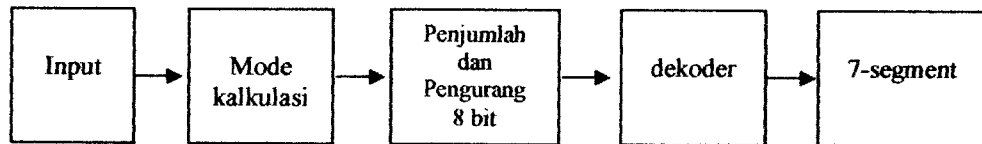
Untuk merealisasikan gambar 3.2, maka disain besar tersebut dapat dibuat empat buah blok disain yang lebih kecil yaitu:

1. Blok sinkronisasi input
2. Blok pemilih *mode* kalkulasi
3. Blok Penjumlah dan Pengurang 8 bit
4. Blok sinkronisasi dekoder
5. Blok tampilan ke *seven segment*

Empat blok diatas didisain menggunakan VHDL. Kemudian buat (*create*) menjadi skematik. Hubungkan keempat blok secara skematik (*top-level disain project* adalah skematik). Kemudian mendefinisikan koneksi pin-pin IC nya menggunakan

file \*.ucf. Maka *project* siap disintesis, implementasi, dan *mendownload bit-stream* ke dalam divais.

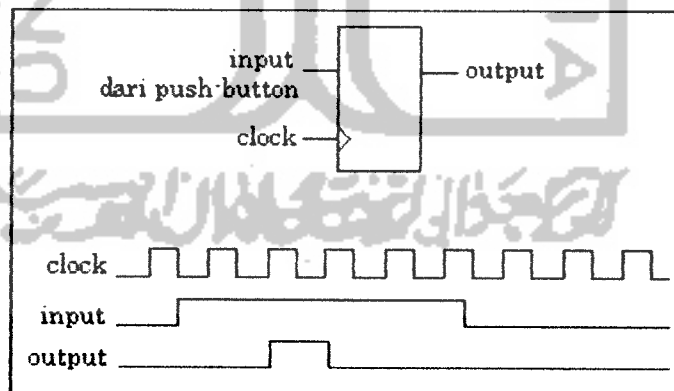
Berikut Blok diagram Penjumlah dan Pengurang 8 bit pada gambar 3.3 :



Gambar 3.3 Blok diagram Penjumlah dan Pengurang 8 bit

### 3.2.1 Blok Sinkronisasi Input

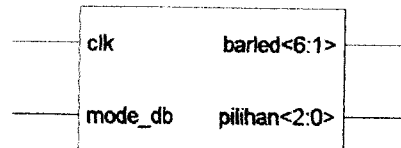
Semua blok didisain secara sinkron menggunakan sebuah sinyal *clock* yang sama, penekanan tombol push-button akan disinkronkan terhadap clock. Clock yang digunakan (*default*) mempunyai frekuensi 50MHz atau 20n detik sedangkan penekanan tombol *keypad* dapat menghasilkan pulsa yang lebih lebar sekitar beberapa milidetik. Ilustrasinya diperlihatkan oleh gambar 3.4. Blok tersebut bertugas menghasilkan satu pulsa selebar satu periode *clock*.



Gambar 3.4 Mensinkronkan input yang lebih lebar terhadap *clock*

### 3.2.2 Blok Pemilih mode kalkulasi

Bagian ini bertugas untuk menghasilkan hitungan dari 0 sampai 2. Hasil hitungan tersebut digunakan untuk menentukan mode pilihan kalkulasi .



**Gambar 3.5** Mendapatkan mode pilihan dari 0 sampai 2

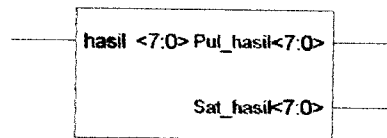
Mode kalkulasi dipilih dengan cara menekan salah satu tombol pada *keypad* yang telah ditentukan fungsinya. Bilangan A dan B masing-masing selebar 8-bit yang akan dimasukkan menggunakan *keypad*. Apabila tombol yang berfungsi sebagai tombol *enter* pada *keypad* ditekan, maka hasil kalkulasi akan ditampilkan pada dua buah seven segmen dalam format desimal.

### 3.2.3 Blok Penjumlah dan Pengurang 8 bit

Bagian ini adalah inti dari Penjumlah dan Pengurang 8 bit. Blok ini mendapat masukan dua buah bilangan A dan B masing-masing selebar 8-bit yang didapat dari *keypad*. Penekanan *enter* (sinyal ini didapat dari keluaran blok sinkronisasi *input*) akan menghasilkan keluaran hasil selebar 8-bit sesuai dengan sinyal pilihan yang didapat dari blok pemilih *mode* kalkulasi.

### 3.2.4 Blok Tampilan ke Seven Segment

Bagian ini akan menampilkan hasil keluaran dari blok kalkulasi selebar 8-bit pada dua buah *seven segment*.



**Gambar 3.6** Hasil 8-bit diubah menjadi format desimal

### 3.2.5 Blok Sinkronisasi Dekoder

Bagian ini berfungsi mengubah bilangan heksadesimal menjadi desimal. Hasil keluaran akan menunjukkan angka -angka desimal. berikut daftar sinkronisasi dekoder yang mengubah keluaran menjadi desimal.

**Tabel 3.1** Dekoder pengubah Heksadesimal menjadi desimal

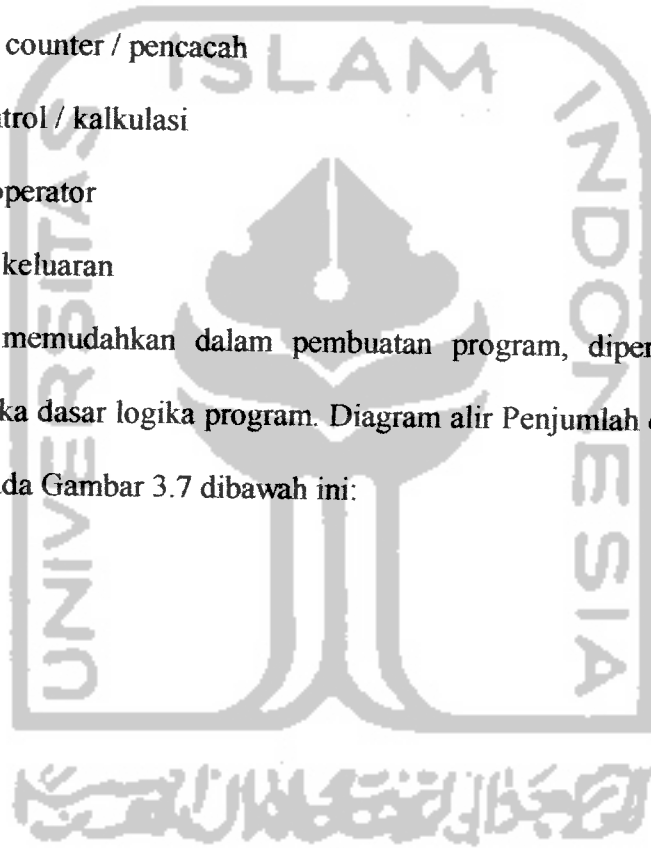
No.	Desimal	Heksadesimal
10	0001 0000	0000 1010
11	0001 0001	0000 1011
12	0001 0010	0000 1100
13	0001 0011	0000 1101
14	0001 0100	0000 1110
15	0001 0101	0000 1111
16	0001 0110	0001 0000
... dst		

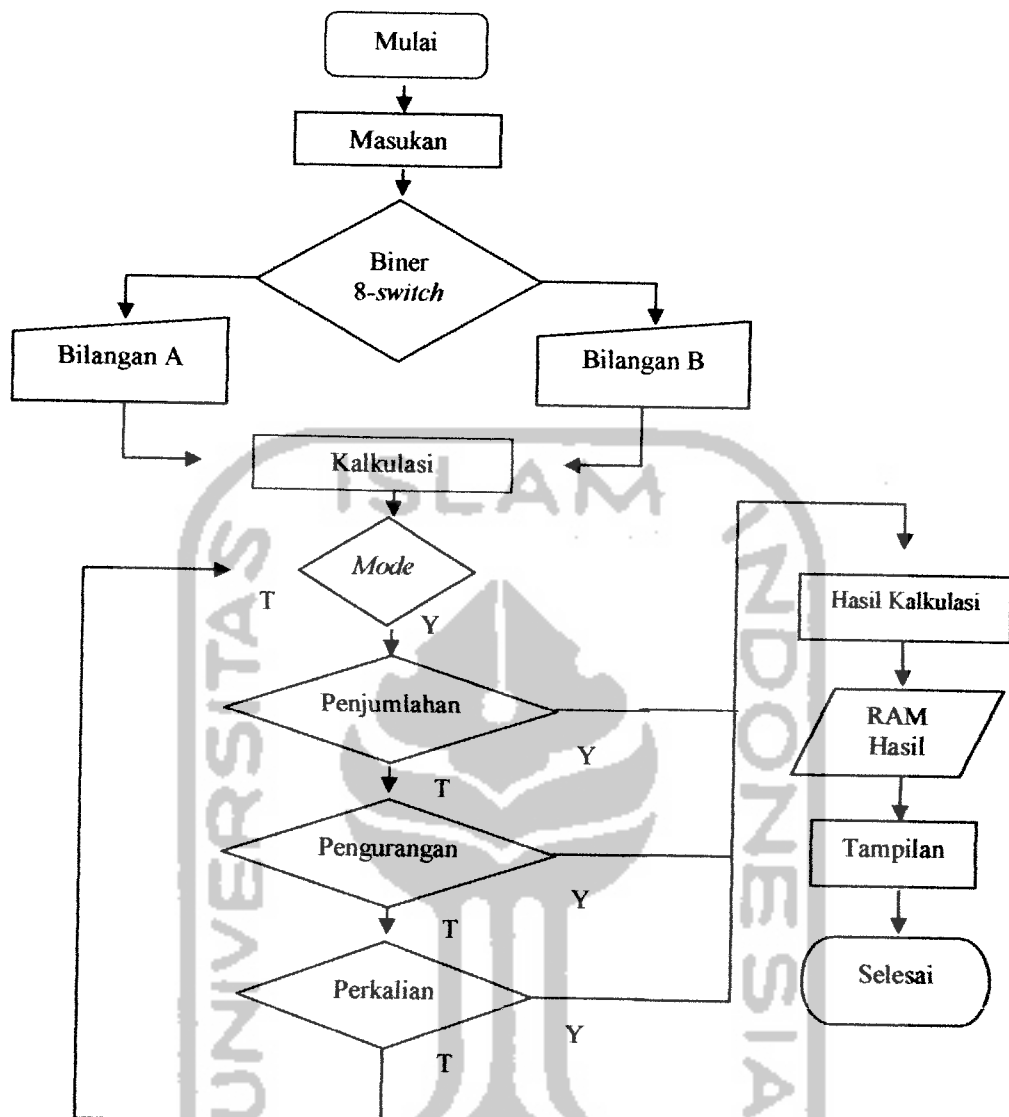
### 3.3 Program Utama

Untuk menjalankan sistem, diperlukan perangkat lunak untuk mengendalikan perangkat keras. Perangkat lunak terdiri program utama yang didalamnya terdapat sub-sub program. Sus-sub program itu antarlain:

1. Logika isyarat masukan
2. Pengkode hexadesimal ke biner
3. Logika counter / pencacah
4. Pengontrol / kalkulasi
5. Mode operator
6. Logika keluaran

Untuk memudahkan dalam pembuatan program, diperlukan diagram alir sebagai kerangka dasar logika program. Diagram alir Penjumlah dan Pengurang 8 bit dapat dilihat pada Gambar 3.7 dibawah ini:





Gambar 3.7 Flowchart Penjumlah dan pengurang 8 bit