

DAFTAR ISI

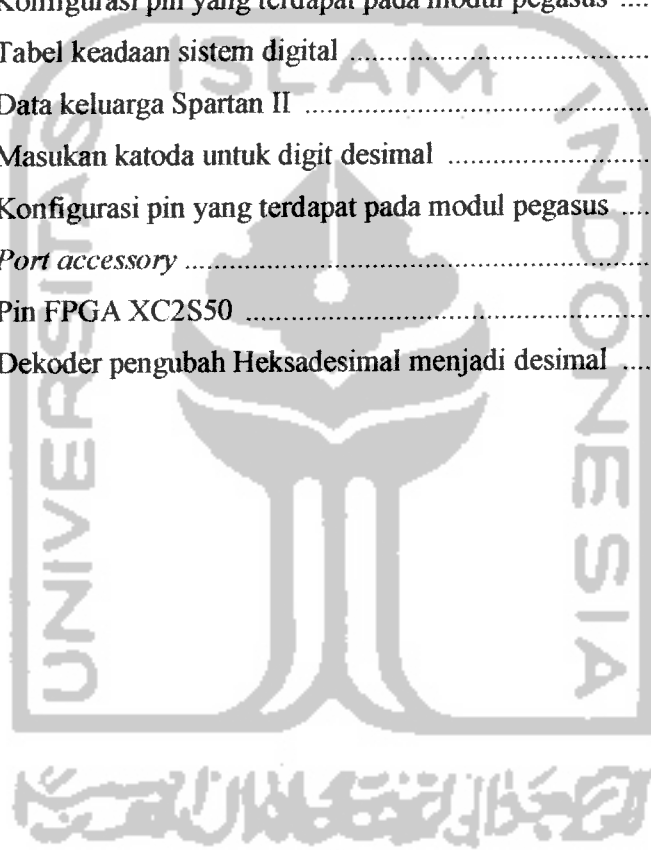
Halaman Judul	i
Lembar Pengesahan Pembimbing.....	ii
Lembar Pengesahan Penguji.....	iii
Halaman Persembahan.....	iv
Halaman Motto	v
Kata Pengantar.....	vi
Abstraksi	viii
Daftar Isi	ix
Daftar Gambar.....	xii
Daftar Tabel.....	xiv
Bab I PENDAHULUAN	
1.1 Latar Belakang.....	1
1.2 Maksud dan Tujuan	2
1.3 Rumusan Masalah.....	3
1.4 Batasan Masalah.....	3
1.5 Manfaat Penulisan Skripsi	3
1.6 Metodologi Penelitian	4
1.7 Sistematika Penulisan.....	5
Bab II LANDASAN TEORI	
2.1 Sistem Bilangan	6
2.2.1 Sistem Bilangan Desimal dan Biner	6
2.2.2 Sistem Bilangan Heksadesimal	8
2.2 Teknik Pencacah	10
2.2.1 Pencacah Biner 4-Bit	11
2.2.2 Pencacah Tak Serempak	12
2.2.3 Pencacah Paralel	13
2.2.4 Pencacah BCD	14

Gambar 3.2	Blok diagram dari sistem	42
Gambar 3.3	Blok diagram Penjumlah dan Pengurang 8 bit	43
Gambar 3.4	Mensinkronkan input yang lebih lebar terhadap <i>clock</i>	43
Gambar 3.5	Mendapatkan mode pilihan dari 0 sampai 2	44
Gambar 3.6	Hasil 8-bit diubah menjadi format desimal	45
Gambar 3.7	<i>Flowchart</i> Penjumlah dan Pengurang 8 bit	47
Gambar 4.1	Skematik Blok Kalkulasi	50



DAFTAR TABEL

Tabel 2.1	Angka-angka Heksadesimal	8
Tabel 2.2	Data keluarga Spartan II	23
Tabel 2.3	Masukan katoda untuk digit desimal	35
Tabel 2.4	Konfigurasi pin yang terdapat pada modul pegasus	36
Tabel 2.5	<i>Port accessory</i>	37
Tabel 2.6	Pin FPGA XC2S50	37
Tabel 2.7	Konfigurasi pin yang terdapat pada modul pegasus	38
Tabel 2.8	Tabel keadaan sistem digital	39
Tabel 2.9	Data keluarga Spartan II	29
Tabel 2.10	Masukan katoda untuk digit desimal	41
Tabel 2.11	Konfigurasi pin yang terdapat pada modul pegasus	42
Tabel 2.12	<i>Port accessory</i>	42
Tabel 2.13	Pin FPGA XC2S50	43
Tabel 3.1	Dekoder pengubah Heksadesimal menjadi desimal	45



2.2.5	Tampilan Alfanumerik	16
2.3	Aritmatik Biner	17
2.3.1	Penambahan Biner	17
2.3.2	Pengurangan Biner	18
2.3.3	Perkalian Biner (<i>Binary Multiplication</i>)	19
2.4	Tombol Masukan	20
2.5	Penampil Tujuh Segmen	21
2.6	<i>Field Programmable Gate Array</i> (FPGA)	22
2.3.1	FPGA Keluarga Xilinx Spartan II	23
2.3.2	Struktur Dasar Keluarga Spartan II	24
2.3.3	<i>Input Output blocks</i> (IOB)	24
2.3.4	<i>Configurable Logic Block</i> (CLB)	25
2.3.5	<i>Programmable Routing Matrix</i>	26
2.3.6	Penrograman FPGA	28
2.7	Modul Pegasus	29
2.7.1	Port JTAG dan Mengkonfigurasi Modul	30
2.7.2	<i>Power Supply</i>	32
2.7.3	<i>Oscilator</i>	32
2.7.4	Saklar <i>Pushbuttons</i> , Saklar Geser, Indikator Led	32
2.7.5	<i>Seven-segment</i>	33
2.7.6	<i>Port I/O</i> Tambahan	35
2.8	Sistem Digital	39

Bab III PERANCANGAN SISTEM

3.1	Perancangan unit penjumlah dan pengurang 8 bit	40
3.1.1	<i>User/ Pengguna</i>	41
3.1.2	Pengendali (<i>Controller</i>)	41
3.1.3	<i>Display</i>	41
3.2	Perancangan <i>Software</i>	41
3.2.1	Blok Sinkronisasi Input	43
3.2.2	Blok pemilih Mode Kalkulasi	44

3.2.3	Blok Penjumlah dan Pengurang 8 bit	44
3.2.4	Blok Tampilan ke Seven Segment	45
3.2.5	Blok Sinkronisasi Dekoder	45
3.3	Program Utama	46

Bab IV ANALISA DAN PEMBAHASAN

4.1	Analisis Sistem	48
4.2	Pembahasan	49

Bab V PENUTUP

5.1	Kesimpulan	50
5.2	Saran	51



DAFTAR GAMBAR

Gambar 2.1	(a) Pencacah empat bit, (b) Bentuk gelombang	11
Gambar 2.2	(a) Diagram logika, (b) Bentuk gelombang	12
Gambar 2.3	Pencacah biner paralel mod-8 (a) Diagram logika (b) Tabel kebenaran, (c) Bentuk gelombang	14
Gambar 2.4	Pencacah BCD 2421. (a) Diagram logika (b) Tabel kebenaran, (c) Bentuk gelombang	16
Gambar 2.5	Sistem tampilan dasar	17
Gambar 2.6	Aturan untuk penambahan biner	17
Gambar 2.7	Aturan untuk pengurangan biner	18
Gambar 2.8	Persoalan pengurangan biner yang menunjukkan suatu pinjaman	19
Gambar 2.9	Aturan-aturan untuk perkalian biner	19
Gambar 2.10	Persoalan perkalian biner sederhana	19
Gambar 2.11	Penampil tujuh segmen	21
Gambar 2.12	Tujuh segmen dalam digit desimal	22
Gambar 2.13	Rangkaian penampil tujuh segmen anoda bersama	22
Gambar 2.14	Diagram Blok Dasar Keluarga Spartan II	24
Gambar 2.15	Blok IOB Spartan II	25
Gambar 2.16	CLB pada Spartan II	26
Gambar 2.17	Struktur <i>Local Routing</i>	27
Gambar 2.18	Koneksi BUFT untuk <i>dedicated Horizontal Bus Line</i>	28
Gambar 2.19	Blok Diagram Pegasus	30
Gambar 2.20	Aliran scan JTAG pada Pegasus	31
Gambar 2.21	Rangkaian saklar <i>pushbutton</i> , saklar geser, LED	33
Gambar 2.22	<i>Common anode seven-segment 4 digit</i>	33
Gambar 2.23	<i>Common anode seven-segment 1 digit</i>	34
Gambar 2.24	Diagram waktu sinyal <i>seven-segment</i>	35
Gambar 2.25	<i>Pin</i> penghubung tambahan	36
Gambar 3.1	Blok diagram Penjumlah dan Pengurang 8 bit	40