

## BAB IV

### HASIL PENGAMATAN DAN ANALISA

#### 4.1 Pendahuluan

Komponen utama dalam pemfilteran digital yang digunakan dalam penelitian ini adalah dua rangkaian ADC (*Analog to Digital Converter*), rangkaian DAC (*Digital to Analog Converter*), FPGA Xilinx Spartan DII, dan seperangkat komputer. Prinsip kerja sistem ini dimulai dari rangkaian ADC yang menerima input berupa sinyal sinus yang sudah tercampur derau dan *noise* untuk referensi. Kemudian setelah diubah menjadi sinyal digital 8 bit, masuk ke dalam FPGA yang sudah diprogram oleh seperangkat komputer dengan *software* Xilinx ISE 6. Program tersebut berisi program filter yang berdasarkan pada algoritma RLS (*Recursive Least Square*). Keluaran dari FPGA akan masuk ke rangkaian DAC untuk diubah kembali menjadi sinyal analog yang sudah bersih dari *noise*.

#### 4.2 Analisis Perangkat Keras (*Hardware*)

##### 4.2.1 Analisis *Analog to Digital Converter* (ADC)

Pada perancangan filter ini, digunakan dua buah rangkaian ADC. Dimana masing-masing ADC memiliki input yang berbeda dan dikontrol oleh satu sistem mikrokontroler. Berikut akan diberikan tabel pengujian keluaran ADC yang akan dibandingkan dengan hasil keluaran ADC berdasarkan perhitungan dengan rumus sebagai berikut :

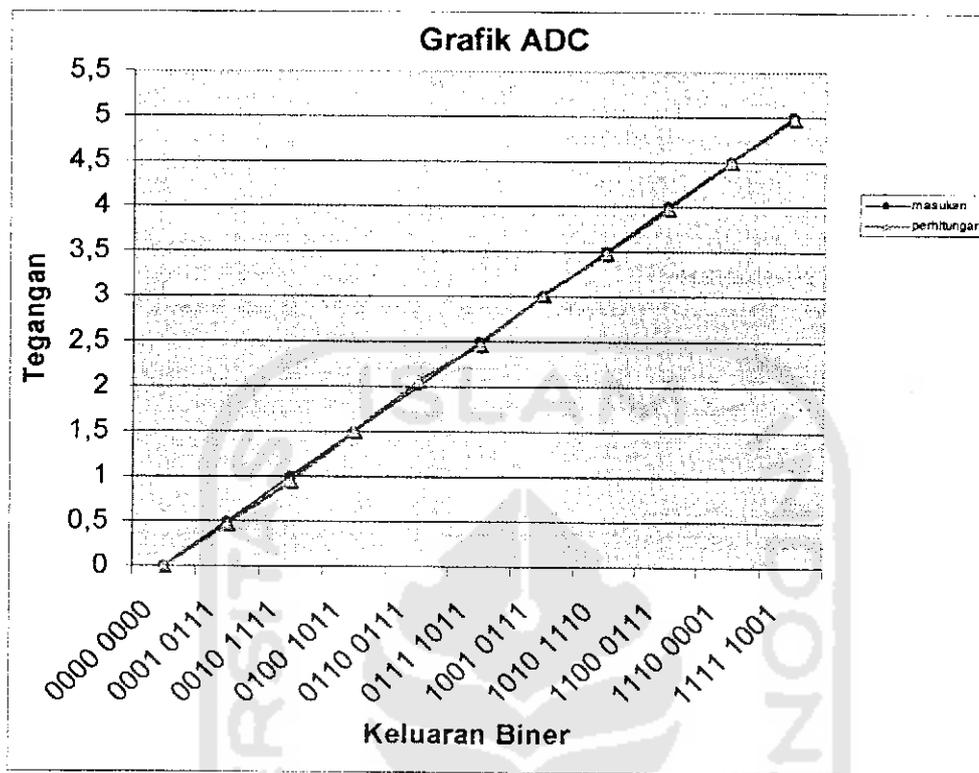
$$V_{in} = \frac{V_{ref}}{256} \times \text{hasil keluaran (desimal)} \quad (4.1)$$

Dimana  $V_{ref} = 5$  volt.

Tegangan Masukan (Volt)	Hasil Keluaran		Tegangan Masukan Berdasarkan Perhitungan (Volt)	Selisih Tegangan (%)
	Biner	Desimal		
0	0000 0000	0	0	0
0,5	0001 0111	23	0,46	8
1	0010 1111	47	0,94	6
1,5	0100 1011	75	1,5	0
2	0110 0111	103	2,06	3
2,5	0111 1011	123	2,46	1,6
3	1001 0111	151	3,02	0,6
3,5	1010 1110	174	3,48	0,57
4	1100 0111	199	3,98	0,5
4,5	1110 0001	225	4,5	0
5	1111 1001	249	4,98	0,4

Tabel 4.1 Tabel Hasil Pengujian ADC

Pada tabel 4.1 nampak bahwa tegangan masukan dari pengamatan ADC telah mendekati nilai yang diharapkan jika dibandingkan dengan hasil tegangan masukan ADC berdasarkan perhitungan dengan rumus. Namun sinyal suara sangat peka terhadap kepresisian data. Sehingga data yang tidak sama persis dengan masukannya dapat menimbulkan *noise*.



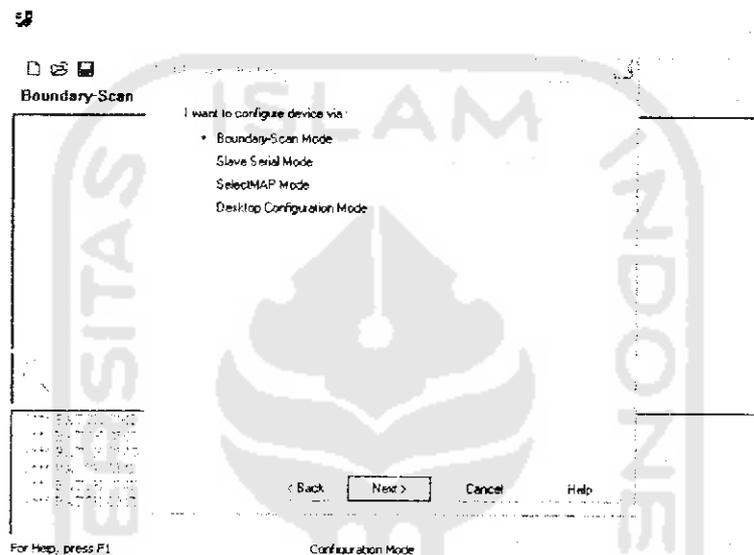
Gambar 4.1 Grafik Output ADC

#### 4.2.2 Analisis Field Programmable Gate Array (FPGA)

FPGA digunakan sebagai sistem utama, yaitu filter digital dengan algoritma Recursive Least Square (RLS). Sistem tersebut harus melalui proses *synthesize-XST* dan *implement design*. Jika tidak ada *error* maka dapat dilanjutkan ke proses *generate programming file*.

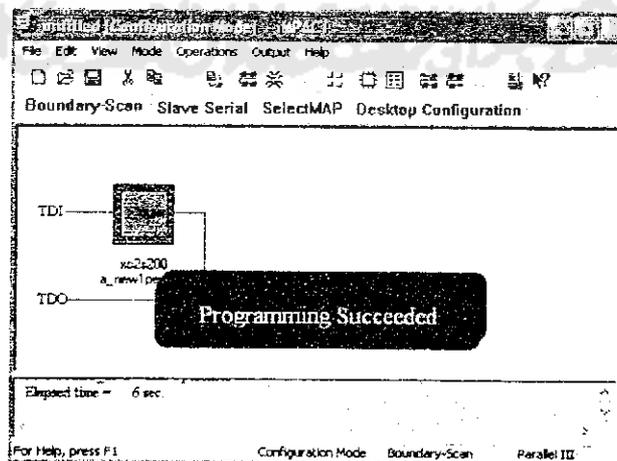
Rangkaian yang telah dirancang dalam bentuk file *schematic*, akan diimplementasikan ke dalam *board* FPGA. Oleh karena itu, perlu diatur pemasangan kaki input output rangkaian *schematic* terhadap *board* FPGA. Hal ini dapat dilakukan dengan proses *floorplan design*. Di dalam *floorplan design*,

Kemudian menjalankan perintah *configure device* untuk mendownload program yang telah kita buat ke dalam FPGA. Akan muncul tampilan seperti pada gambar 4.4, kemudian kita memilih mode *Boundary Scan* untuk mendownload rancangan kita melalui *parallel port*.



Gambar 4.4 Tampilan Mode untuk Mendownload Program

Adapun tampilan pada waktu proses mendownload sukses adalah seperti pada gambar 4.5



Gambar 4.5 Tampilan Proses Download Sukses

#### 4.2.3 Analisis *Digital to Analog Converter* (DAC)

Pada perancangan filter ini, hanya digunakan satu buah DAC. Berikut akan diberikan tabel pengujian keluaran DAC yang akan dibandingkan dengan hasil keluaran DAC berdasarkan perhitungan dengan rumus sebagai berikut :

$$V_o = 10V \left( \frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right) \quad (4.2)$$

Dimana  $A_1$  = data masukan MSB.

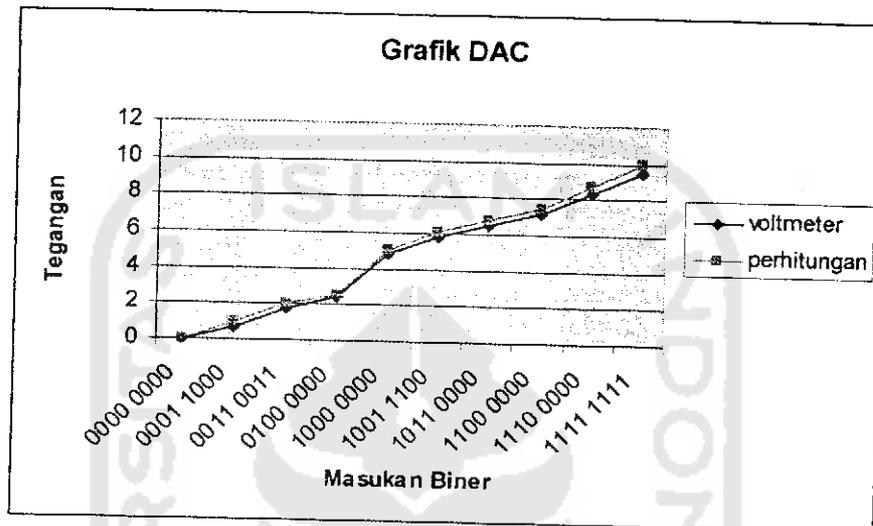
$A_8$  = data masukan LSB.

$V_{ref} = 10$  volt

Data Masukan (Biner)	Hasil Keluaran (Volt)	Hasil Keluaran Berdasarkan Perhitungan (Volt)	Selisih Tegangan (%)
0000 0000	0	0	0
0001 1000	0,65	0,93	43,1
0011 0011	1,7	1,99	17,1
0100 0000	2,4	2,5	4,2
1000 0000	4,8	5	4,2
1001 1100	5,8	6,1	5,17
1011 0000	6,53	6,8	4,13
1100 0000	7,15	7,5	4,89
1110 0000	8,33	8,7	4,44
1111 1111	9,45	10	5,82

Tabel 4.2 Tabel Hasil Pengujian DAC

Pada tabel 4.6 nampak bahwa hasil keluaran dari pengamatan DAC mendekati nilai yang diharapkan apabila dibandingkan dengan hasil keluaran DAC berdasarkan perhitungan dengan rumus.



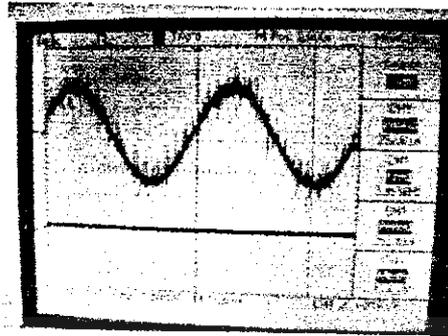
Gambar 4.6 Grafik Output DAC

### 4.3 Analisis Sistem

#### 4.3.1 Analisis Terhadap Data Masukan Suara yang Berupa Sinyal Sinus dari *Audio Frequency Generator (AFG)*

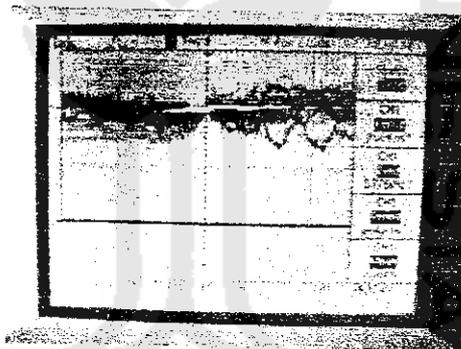
Pada perancangan filter digital dengan algoritma RLS, digunakan tiga buah nilai *forgetting factor* ( $\lambda$ ) yaitu 0,5 ; 0,125 dan 0,03125. Pemilihan nilai *forgetting factor* dengan ordo filter = 2 dan nilai inisial bobot ( $w$ ) = 0.

Bentuk sinyal input yang digunakan dalam pengujian sistem ini adalah seperti yang ditunjukkan pada gambar 4.7



Gambar 4.7 Bentuk Sinyal Sinus yang Tercampur Derau

Bentuk noise referensi yang digunakan dalam pengujian sistem ini adalah seperti yang ditunjukkan pada gambar 4.8



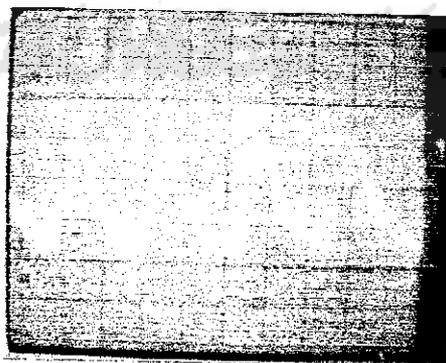
Gambar 4.8 adalah Bentuk Sinyal *Noise* Referensi

1. Dengan menggunakan nilai *forgetting factor* 0,5, maka akan diperoleh data pengamatan yang dapat dilihat pada tabel 4.3

Sinyal Input (frekuensi)	Sinyal Output (frekuensi)	Amplitudo ( dikali 2 volt )
550 Hz	4,2 MHz	3,2
1,400 KHz	4,4 MHz	3,3
2,900 KHz	4,2 MHz	3,2
3,700 KHz	3,8 MHz	3
4,400 KHz	4,2 MHz	3,1
5,100 KHz	3,6 MHz	2,9
6,600 KHz	3,3 MHz	2,8
7,810 KHz	4,2 MHz	3,2
8,500 KHz	3,8 MHz	3,1
9,300 KHz	5 MHz	3,4
10,100 KHz	4,2 MHz	3,2

Tabel 4.3 Tabel Sinyal Output dengan  $\lambda=0,5$

Salah satu bentuk sinyal keluaran dengan menggunakan frekuensi 550 Hz dan  $\lambda = 0,5$  adalah seperti pada gambar 4.9



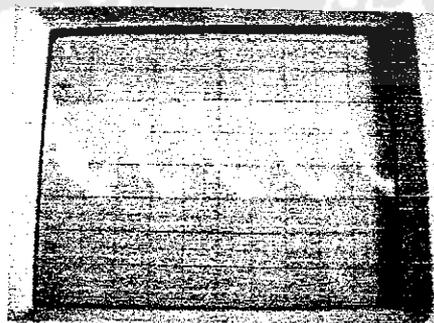
Gambar 4.9 Bentuk Sinyal Keluaran dengan  $f = 550$  Hz dan  $\lambda = 0,5$

2. Dengan menggunakan nilai *forgetting factor* 0,125, maka akan diperoleh data pengamatan yang dapat dilihat pada tabel 4.4

Sinyal Input (frekuensi)	Sinyal Output (frekuensi)	Amplitudo ( dikali 2 volt )
550 Hz	4,6 MHz	2,9
1,400 KHz	4,2 MHz	2,7
2,900 KHz	3,8 MHz	2,5
3,700 KHz	4,2 MHz	2,8
4,400 KHz	3,8 MHz	2,6
5,100 KHz	4,2 MHz	2,7
6,600 KHz	4,2 MHz	2,7
7,810 KHz	4 MHz	2,6
8,500 KHz	3,8 MHz	2,5
9,300 KHz	4,2 MHz	2,7
10,100 KHz	4,4 MHz	2,8

Tabel 4.4 Tabel Sinyal Output dengan  $\lambda=0,125$

Salah satu bentuk sinyal keluaran dengan menggunakan frekuensi 550 Hz dan  $\lambda = 0,125$  adalah seperti pada gambar 4.10



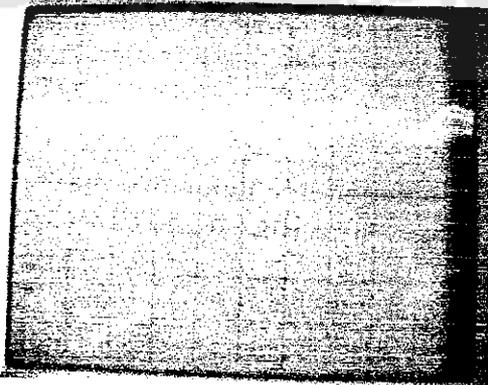
Gambar 4.10 Bentuk Sinyal Keluaran dengan  $f = 550$  Hz dan  $\lambda = 0,125$

3. Dengan menggunakan nilai *forgetting factor* 0,03125, maka akan diperoleh data pengamatan yang dapat dilihat pada tabel 4.5

Sinyal Input (frekuensi)	Sinyal Output (frekuensi)	Amplitudo ( dikali 5 volt )
550 Hz	4,2 MHz	1,2
1,400 KHz	4,4 MHz	1,3
2,900 KHz	4,2 MHz	1,2
3,700 KHz	3,8 MHz	1,1
4,400 KHz	4,2 MHz	1,2
5,100 KHz	3,6 MHz	1
6,600 KHz	3,3 MHz	0,8
7,810 KHz	4,2 MHz	1,1
8,500 KHz	3,8 MHz	1
9,300 KHz	5 MHz	1,4
10,100 KHz	4,2 MHz	1,2

Tabel 4.5 Tabel Sinyal Output dengan  $\lambda=0,03125$

Salah satu bentuk sinyal keluaran dengan menggunakan frekuensi 550 Hz dan  $\lambda = 0,03125$  adalah seperti pada gambar 4.11



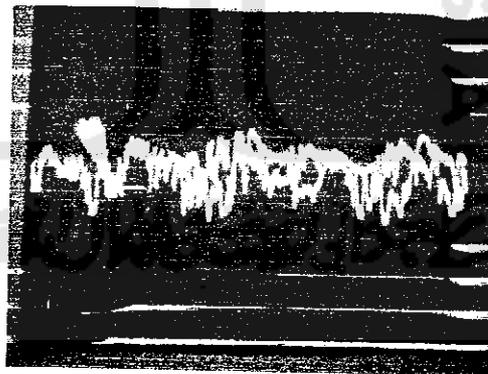
Gambar 4.11 Bentuk Sinyal Keluaran dengan  $f = 550$  Hz dan  $\lambda = 0,03125$

Dari ketiga jenis *forgetting factor* yang digunakan yaitu 0,5 ; 0,125 ; 0,03125, kita dapat melihat dari gambar bahwa semakin kecil nilai *forgetting factor* maka sinyal yang dihasilkan semakin tidak bagus. Ini disebabkan bahwa nilai *forgetting factor* yang baik adalah yang mendekati 1.

#### 4.3.2 Analisis Terhadap Data Masukan Suara Asli (Suara Manusia)

Pada perancangan filter digital dengan algoritma RLS, digunakan tiga buah nilai *Forgetting Factor* ( $\lambda$ ) yaitu 0,5 ; 0,125 dan 0,03125. Pemilihan nilai *forgetting factor* dengan ordo filter = 2 dan nilai inisial bobot ( $w$ ) = 0.

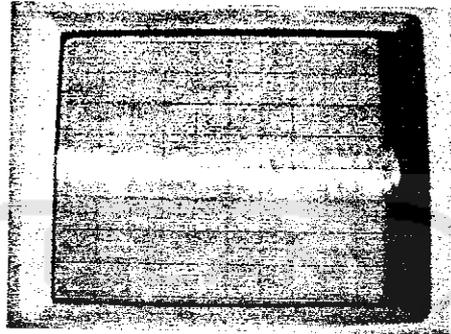
Sinyal input yang digunakan dalam pengujian ini adalah suara asli manusia yang tercampur noise dan telah direkam di dalam komputer. Bentuk sinyal input yang digunakan dalam pengujian sistem ini adalah seperti yang ditunjukkan pada gambar 4.12



Gambar 4.12 Bentuk Sinyal Suara yang Tercampur *Noise*

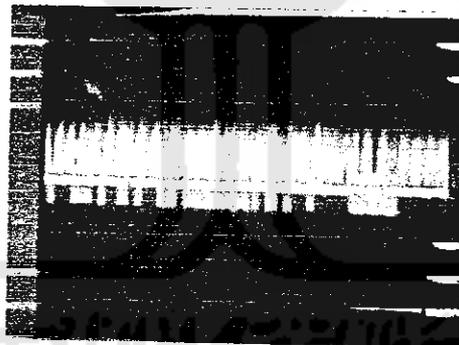
Noise yang digunakan dalam pengujian untuk suara manusia sama dengan noise referensi yang digunakan dalam pengujian untuk sinyal sinus.

1. Dengan menggunakan nilai *forgetting factor* 0,5, maka akan dihasilkan sinyal keluaran seperti yang ditunjukkan pada gambar 4.13



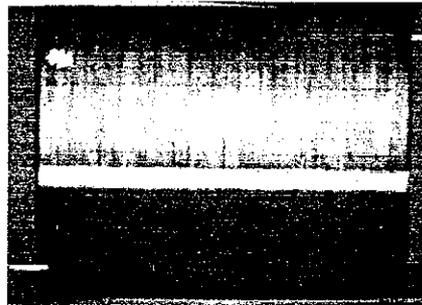
Gambar 4.13 Bentuk Sinyal Keluaran dengan  $\lambda=0,5$

2. Dengan menggunakan nilai *forgetting factor* 0,125, maka akan dihasilkan sinyal keluaran seperti yang ditunjukkan pada gambar 4.14



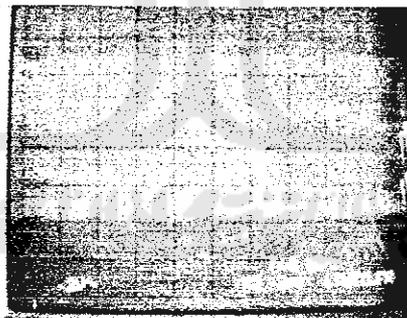
Gambar 4.14 Bentuk Sinyal Keluaran dengan  $\lambda=0,125$

3. Dengan menggunakan nilai *forgetting factor* 0,03125, maka akan dihasilkan sinyal keluaran seperti yang ditunjukkan pada gambar 4.15



Gambar 4.15 Bentuk Sinyal Keluaran dengan  $\lambda=0,03125$

Hasil yang didapat dari semua pengujian tidak dapat optimal karena banyak faktor yang mempengaruhi. *Noise* yang muncul disebabkan oleh *noise* yang berasal dari *hardware* atau pengkabelan dan dari pemotongan bit hasil operasi matematis dalam rangkaian digital. Jadi sebelum sistem diberi input sudah ada *noise* dari *hardware*. Bentuk sinyal keluaran sistem sebelum diberi input ditunjukkan pada gambar 4.16



Gambar 4.16 Bentuk Sinyal Keluaran Sebelum Diberi Masukan

Begitu juga pada hasil perkalian pada rangkaian digital yang hasilnya hanya diambil 8 bit sehingga data sudah tidak 100% akurat. Keterbatasan sistem inilah yang menyebabkan banyak *noise* muncul.