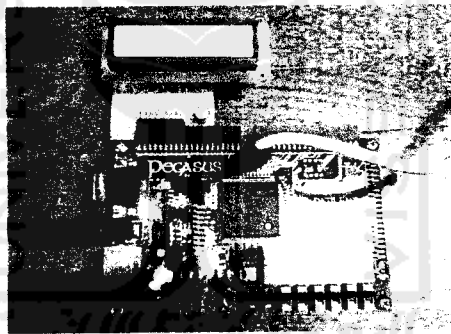


## BAB IV

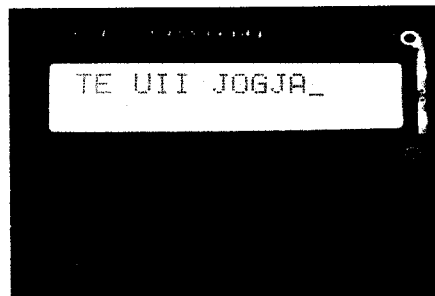
### HASIL PENGUJIAN DAN PEMBAHASAN

#### 4.1. PENDAHULUAN

Komponen utama dalam sistem rancang bangun *running text* pada LCD yang digunakan dalam penelitian ini adalah LCD, *board* FPGA Spartan II dan seperangkat komputer. Prinsip kerja dari sistem ini adalah saat FPGA yang sudah diprogram oleh seperangkat komputer dengan *software* Xilinx ISE 7.1i dan pada program telah berisi tentang pengaturan sistem penulisan karakter pada LCD dengan menggunakan bahasa pemrograman Verilog HDL. Keluaran dari FPGA akan masuk ke rangkaian LCD untuk menampilkan karakter yang telah dibuat.



Gambar 4.1. LCD pada FPGA



Gambar 4.2. Karakter yang muncul pada *display* LCD

## 4.2. Pengujian Perangkat Keras

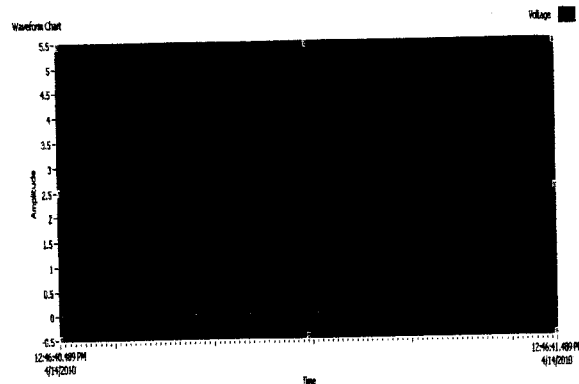
### 4.2.1. Analisis rangkaian LCD dengan menggunakan Labview Instrument NI USB-6009.

Pada pengujian ini digunakan LabView Instrument NI USB-6009 untuk mendapatkan sinyal rangkaian saat diaktifkan, perancangan ini menggunakan LCD LMB 162 A, 4 buah resistor  $390\Omega$  yang dihubungkan dengan *data bus* (DB 4 sampai DB 7) pada LCD, sedangkan pengujian dilakukan pada 4 pin data bus (DB 4 sampai DB 7).



Gambar 4.3. Pulsa pada pin DB-4

Pada pengukuran DB-4 yang terhubung dengan pin 16 pada *connector pinout A1 board* FPGA ditampilkan lebar sinyal karakter yang didapatkan dengan pengukuran menggunakan penghitungan waktu *real* untuk pengiriman data bit karakter yang dilakukan dengan 2 kali per 4 bit satu kali karakter dibutuhkan waktu selama 0,78 s. Data biner untuk karakter T yaitu “0101 0100” yang dikonversikan ke bentuk heksadesimal “h54”, memerlukan waktu 0.21 s untuk siklus awal lebar data bit per karakter pada pengiriman data, dengan tegangan puncak ke puncak ( $V_{pp}$ ) 5 Volt.



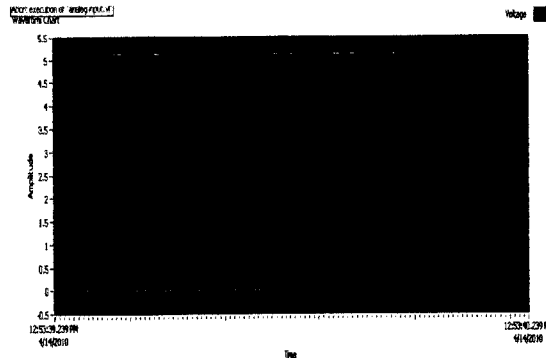
Gambar 4.4. Pulsa pada pin DB-5

Sinyal karakter yang didapatkan dari pengukuran dari DB-5 yang dihubungkan dengan pin 14 *connector A1 board* FPGA untuk pengiriman data bit karakter yang dilakukan dengan 2 kali per 4 bit satu kali karakter dibutuhkan waktu selama 0.74 s. Sedangkan siklus awal pengiriman data bit per karakter memerlukan waktu selama 0.15 s.



Gambar 4.5. Pulsa pada pin DB-6

Sinyal karakter yang didapatkan dari pengukuran dari DB-5 yang dihubungkan dengan pin 9 *connector A1 board* FPGA untuk pengiriman data bit karakter yang dilakukan dengan 2 kali per 4 bit satu kali karakter dibutuhkan waktu selama 0.65 s. Sedangkan siklus awal pengiriman data bit per karakter memerlukan waktu selama 0.5 s.



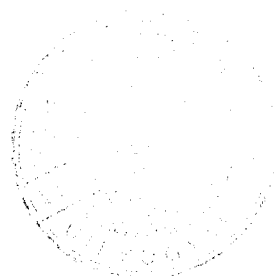
Gambar 4.6. Pulsa pada pin DB-7

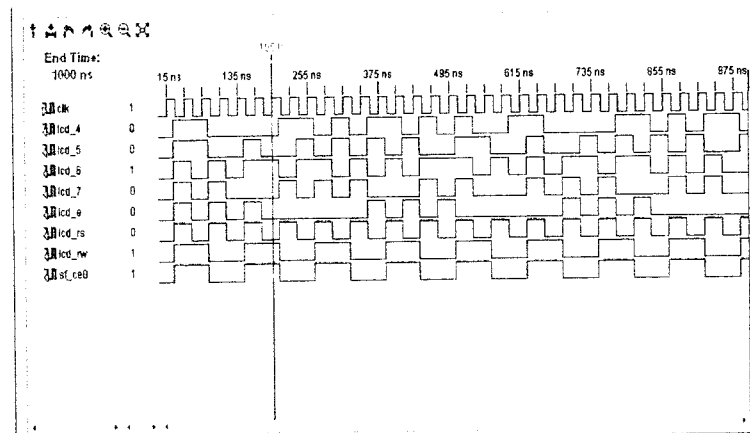
Sinyal karakter yang didapatkan dari pengukuran dari DB-5 yang dihubungkan dengan pin 7 connector A1 board FPGA untuk pengiriman data bit karakter yang dilakukan dengan 2 kali per 4 bit satu kali karakter dibutuhkan waktu selama 0.74 s. Sedangkan siklus awal pengiriman data bit per karakter memerlukan waktu selama 0.9 s dengan tegangan puncak ke puncak ( $V_{pp}$ ) 5 Volt.

### 4.3 Pengujian Perangkat Lunak

#### 4.3.1 Analisa sistem rancang bangun *running text* dengan *Test Bench Waveform* Xilinx ISE 7.1i.

Setelah program untuk mengkonfigurasi FPGA selesai dibuat, kemudian untuk memastikan kinerja dari program apakah sudah sesuai dengan yang diinginkan, maka ada baiknya program tersebut disimulasikan terlebih dahulu. Hasil dari simulasi adalah berupa *timing diagram* dari program dan untuk melakukannya digunakan *Test Bench Waveform* dari Xilinx ISE 7.1i. Ada 8 buah keluaran dari sistem yang telah dibuat dengan 1 masukan clock.

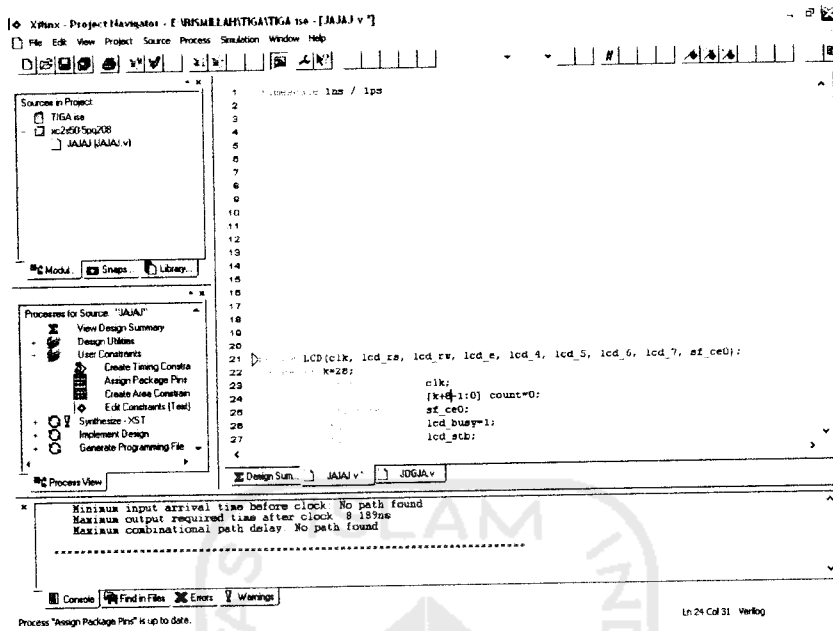




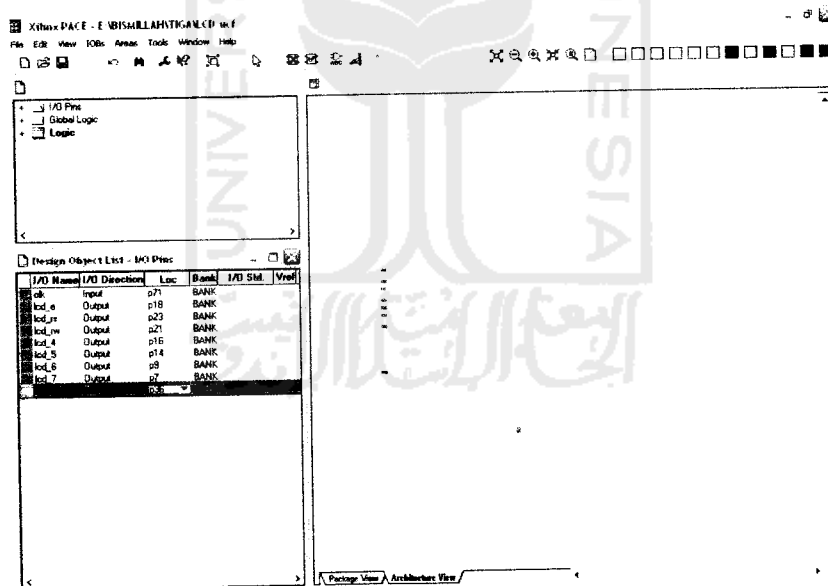
Gambar 4.7. Timing diagram running text pada LCD

#### 4.3.2 Analisis sistem rancang bangun *running text* pada *Software* FPGA Xilinx ISE 7.1i.

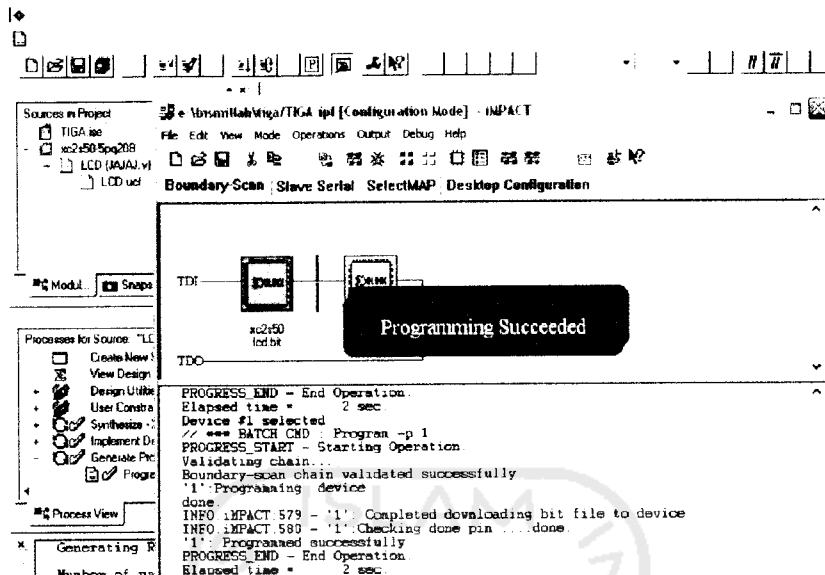
FPGA digunakan sebagai sistem utama, yaitu untuk menghubungkan dengan perangkat lunak lainnya. Sistem tersebut harus melalui proses *synthesize\_XST* dan *implementation design*. Jika tidak ada *error* maka dapat dilanjutkan ke proses *generate programming file*. Rangkaian yang telah dirancang dalam bentuk *file schematic* akan diimplementasikan ke dalam *board* FPGA. Oleh karena itu, perlu diatur pemasangan kaki *input* dan *output* rangkaian *schematic* terhadap *board* FPGA. Hal ini dapat dilakukan dengan proses *assign package pin*. Didalam *assign package pin*, pengaturan *input* dan *output* dilakukan dengan cara mengisi tabel yang telah tersedia untuk memberikan alamat yang akan digunakan sebagai *input* dan *output*.



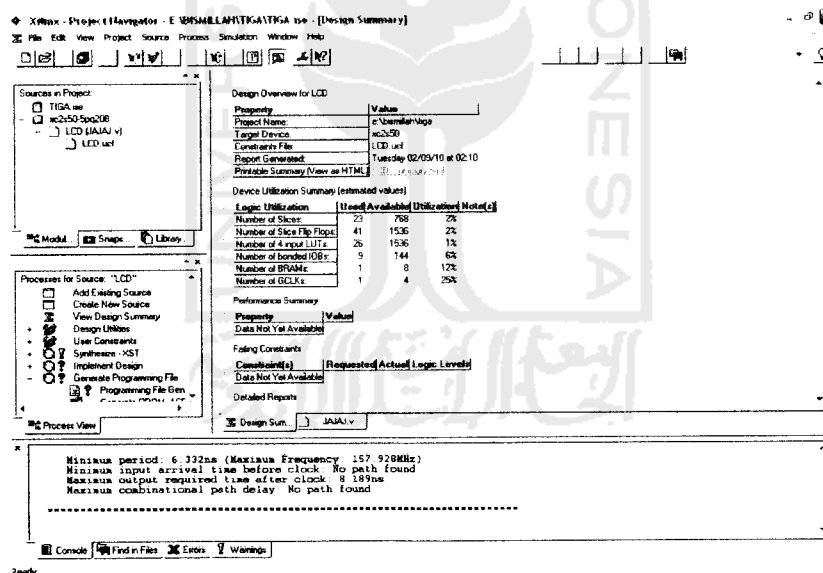
Gambar 4.11. Proses Sintesis Program



Gambar 4.12. Proses Assign pin pada board FPGA



Gambar 4.13. Proses *Download* sukses



Gambar 4.14. *Slice* FPGA yang terpakai.

Tanda *WARNING* yang muncul saat program disintesis hanyalah merupakan informasi yang memberi tahu bahwa *syntax* ada yang tidak digunakan dan bukan suatu kesalahan. Selanjutnya pada proses *assign pin* yang akan digunakan agar keluaran dapat ditampilkan pada LCD sesuai dengan inisiasi *input* dan *output* yang ada program. Suksesnya *download* program yang ada pada proses

ini menunjukkan bahwa proses ini dapat memberikan keluaran yang ada pada *device*.

