

ABSTRAKSI

Sistem digital dewasa ini telah menjadi semakin kompleks seiring dengan perkembangan teknologi IC yang dapat membuat komponen dalam satu *chip*. Desain Verilog HDL ditujukan untuk desain pada sistem digital yang memuat ribuan sampai jutaan gerbang pada satu *chip* IC. FPGA merupakan salah satu *chip* IC yang dapat digunakan untuk implementasi sistem digital yang lebih rumit. LCD merupakan komponen penting yang menjadi *display* pada rancang bangun elektronika. Pada tugas akhir ini dirancang LCD yang dapat diimplementasikan pada FPGA dikendalikan dengan pengiriman data 4 bit. Pada perancangan ini, bahasa pemrograman yang digunakan adalah Verilog HDL dengan arsitektur struktural pada perancangan top level-nya. Rancangan diimplementasikan pada FPGA Xilinx Spartan II XC2S50-PQ208. *Software* yang digunakan untuk sintesis dan implementasi rancangan pada FPGA adalah Xilinx ISE 7.1i. Penggunaan FPGA untuk implementasi ini adalah 23 slice dari 768 (2%), slice flip-flop 41 dari 1536 (2%), 26 LUT dari 1536 (1%), dan 9 IOB dari 144 (6%), 1 BRAM dari 8 (12%), 1 GCLK dari 4 (25%). Teks yang ditampilkan pada LCD adalah “TE UII JOGJA”.

Kata kunci: FPGA, LCD, *running text*.

