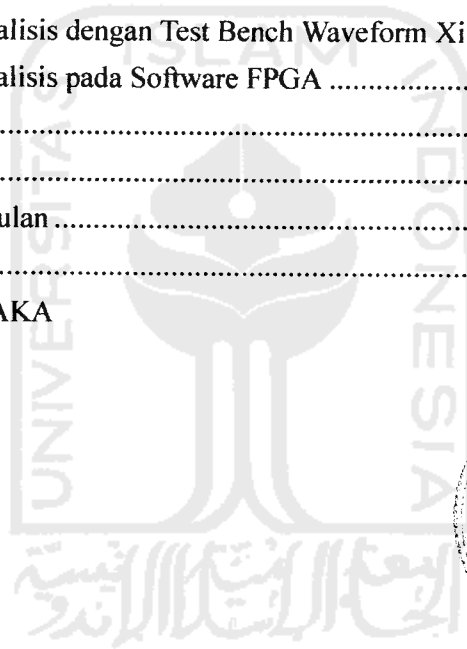


DAFTAR ISI

LEMBAR PENGESAHAN PEMBIMBING.....	i
LEMBAR PENGESAHAN PENGUJI.....	ii
HALAMAN PERSEMBAHAN.....	iii
HALAMAN MOTTO.....	iv
KATA PENGANTAR.....	vii
ABSTRAKSI.....	ix
DAFTAR ISI.....	xi
DAFTAR GAMBAR.....	xiii
DAFTAR TABEL.....	xiv
BAB I.....	1
PENDAHULUAN.....	1
1.1. Latar Belakang.....	1
1.2. Rumusan Masalah.....	3
1.3. Batasan Masalah.....	3
1.4. Tujuan Penelitian.....	3
1.5. Manfaat Penelitian.....	3
1.6. Sistematika Penulisan.....	3
BAB II.....	5
STUDI PUSTAKA.....	5
2.1. Tinjauan Pustaka.....	5
2.2. Rencana Penelitian.....	9
BAB III.....	12
PERANCANGAN SISTEM.....	12
3.1. Perancangan Perangkat Keras.....	12
3.1.1. FPGA (<i>Field Programmable Gate Array</i>).....	14
3.1.2. FPGA Keluarga Xilinx Spartan II.....	14
3.1.2.1. <i>Struktur dasar keluarga Xilinx Spartan II</i>	15
3.1.2.2. Konfigurasi blok FPGA Spartan II.....	15
3.1.2.3. Programmable Routing Matrix.....	18
3.1.2.4. Mode Operasi.....	20
3.1.2.5. <i>Board Pegassus</i>	21
3.1.3. LCD (<i>Liquid Crystal Display</i>).....	28

3.2. Perancangan program	32
3.2.1. Xilinx ISE 7.1i (Xilinx Foundation Series).....	32
3.2.2. Verilog HDL.....	33
3.2.3. Program Utama	36
BAB IV	39
HASIL PENGUJIAN DAN PEMBAHASAN.....	39
4.1. Pendahuluan.....	40
4.2. Pengujian perangkat keras	40
4.2.1. Analisis rangkaian LCD dengan menggunakan Labview Instrument NI USB-6009	40
4.3. Pengujian Perangkat Lunak	42
4.3.1. Analisis dengan Test Bench Waveform Xilinx ISE 7.1i.....	42
4.3.2. Analisis pada Software FPGA	43
BAB V	47
PENUTUP.....	47
5.1. Kesimpulan	47
5.2. Saran.....	47
DAFTAR PUSTAKA	
LAMPIRAN	



n II	Gambar 3.1. Blok Diagram Perancangan Sistem.....	13
.....	Gambar 3.2. Blok Diagram dasar keluarga Spartan II	15
.....	Gambar 3.3. Blok Diagram I/O Spartan II.....	16
6.....	Gambar 3.4. CLB pada Spartan II.....	17
.....	Gambar 3.5. Blok RAM Spartan II	18
er-Heksad	Gambar 3.6. Struktur <i>Local Routing</i>	19
	Gambar 3.7. Koneksi BUFT untuk <i>Dedicated Horizontal Bus Line</i>	20
	Gambar 3.8. Blok Diagram Pegassus	21
	Gambar 3.9. Aliran Scan JTAG pada Pegassus.....	23
	Gambar 3.10. Rangkaian Saklar <i>Pushbutton</i> , Saklar geser dan LED	24
	Gambar 3.11. <i>Common Diode Sevent segment 4 digit</i>	25
	Gambar 3.12. <i>Common Anode Sevent segment 1 digit</i>	25
	Gambar 3.13. Pin penghubung tambahan.....	26
	Gambar 3.14. LCD 2x16 karakter	29
	Gambar 3.15. Konstruksi dasar LCD	32
	Gambar 3.16. Blok diagram alir penggunaan <i>software</i> FPGA	35
	Gambar 3.17. <i>Flowchart</i> Program.....	36
	Gambar 4.1. LCD pada FPGA	39
	Gambar 4.2. Pulsa pada pin DB-4.....	39
	Gambar 4.3. Pulsa pada pin DB-5.....	40
	Gambar 4.4. Pulsa pada pin DB-6.....	41
	Gambar 4.5. Pulsa pada pin DB-7.....	41
	Gambar 4.6. <i>Timing Diagram running text</i> pada LCD.....	43

