

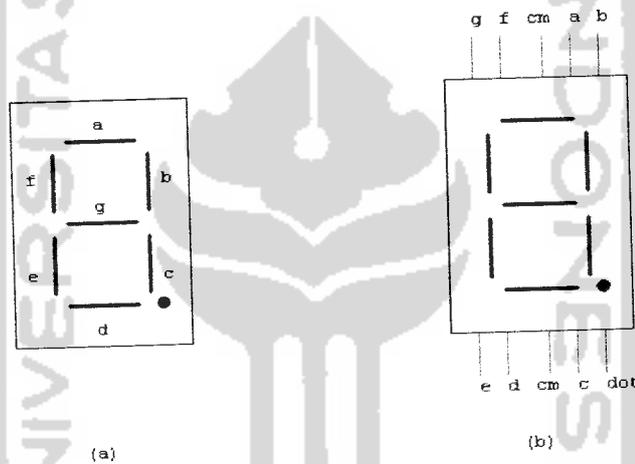
## **BAB V : PENUTUP**

Bab ini memuat kesimpulan dan saran-saran dari proses perancangan, pensimulasian sistem, serta keterbatasan-keterbatasan yang ditemukan dan juga asumsi-asumsi yang dibuat selama melakukan tugas akhir.



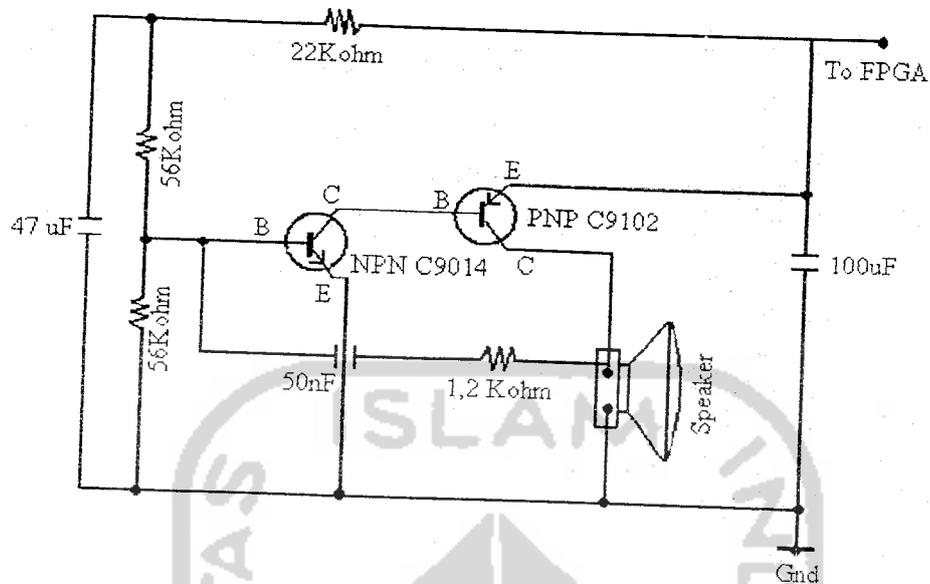
### 2.3. Seven Segment

Pada dasarnya *seven segment* adalah susunan dari tujuh buah LED, susunan dari tujuh buah LED dapat dilihat pada Gambar 2.3 dan Gambar 2.4 sesuai dengan jenisnya. *Seven segment* dapat menampilkan suatu bentuk karakter tertentu misalnya suatu huruf atau angka. Untuk mempermudah penggunaan *seven segment*, maka ketujuh ruas dan peraga tersebut diberi label a sampai g sehingga dapat dibedakan antara posisi ruas yang satu dengan ruas yang lain. Identifikasi ruas-ruas peraga *seven segment* ditunjukkan pada Gambar 2.2.



Gambar 2.2. *Seven Segment*: (a). Tampilan *seven segment*;  
(b). Konfigurasi pin *seven segment*.

Masing-masing ruas atau *segment* ( a sampai g ) pada *seven segment* berisi satu buah LED yang akan memancarkan cahaya apabila diberi tegangan. Menurut jenisnya *seven segment* dapat dibedakan menjadi dua macam, yaitu *seven segment common anoda* dan *seven segment common katoda*.



Gambar 3.8. Rangkaian alarm.

### 3.4. Perancangan Perangkat Lunak

#### 3.4.1. VHDL

Proses perancangan perangkat lunak dengan VHDL ini menggunakan *type standar logic, if-then-else statements*. Standard ieee 1164 mempunyai banyak tipe-tipe data yang akan bekerja dengan akurat selama proses simulasi. Perintah *if then* adalah struktur yang digunakan untuk menyusun perintah *concurrent* yang bergantung pada kondisi tertentu. Penggunaan struktur ini adalah membuat perintah yang harus diulang-ulang untuk digunakan parameter yang berbeda-beda pada setiap *architecture* atau *component*. Contoh-contoh program yang menggunakan *type standar logic, if-then-else statements* pada perancangan ini adalah :

```

        end if;
    end if;
    if menit = 59 then
        if jam < 23 then
            jam <= jam + 1;
        else
            jam <= 0;
        end if;
    end if;
    if set_menit = '1' then
        if menit < 59 then
            menit <= menit + 1;
        else
            menit <= 0;
        end if;
    end if;
    if set_jam = '1' then
        if jam < 23 then
            jam <= jam + 1;
        else
            jam <= 0;
        end if;
    end if;
end if;
end process;

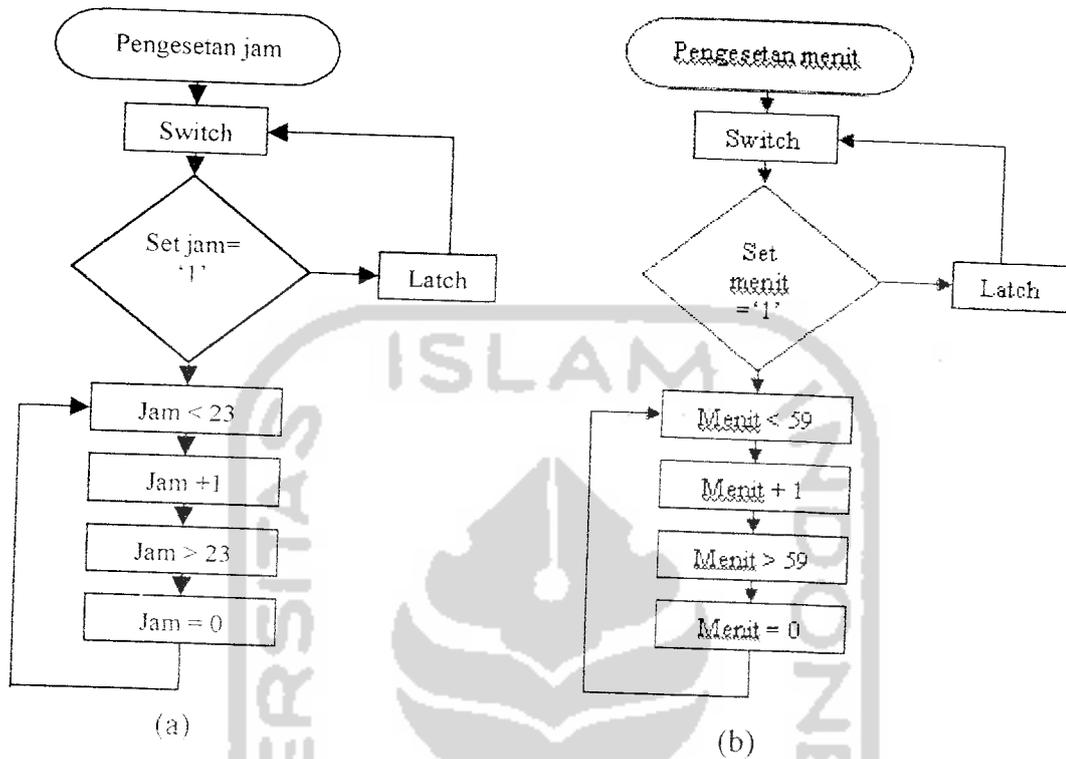
```

**Contoh 2:** program untuk alarm dan pengesetan alarm

```

u2:process
    (clk_out,reset_alm,set_jam_alm,set_menit_alm,switch_alm,switch_alm)
begin
    if reset_alm = '1' then
        menit_coba <= 0;
        jam_coba <= 0;
    elsif clk_out = '1' and clk_out'event then
        if set_menit_alm = '1' then
            if menit_coba < 59 then
                menit_coba <= menit_coba + 1;
            else
                menit_coba <= 0;
            end if;
        end if;
    end if;
end process;

```



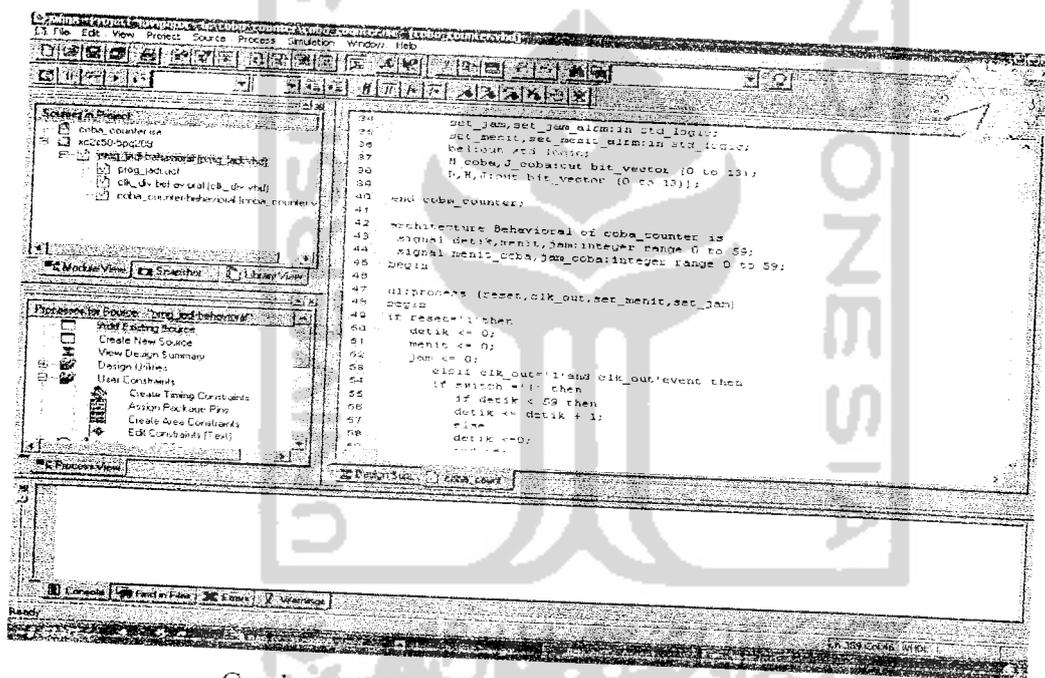
Gambar 3.10: (a). Diagram alir pengesetan jam ; (b). Diagram alir pengesetan menit

Gambar 3.10 merupakan diagram alir pengesetan jam dan pengesetan menit pada tampilan jam, diagram alir untuk pengesetan jam dan pengesetan menit pada tampilan alarm sama dengan diagram alir pengesetan jam dan pengesetan menit pada tampilan jam (Gambar 3.10).

Pada perancangan ini, jam digital memiliki sebuah fitur yaitu alarm. Di saat jam dan menit pada tampilan jam sama dengan jam dan menit pada tampilan alarm maka bel akan berbunyi selama 1menit. Akan tetapi setelah pengesetan jam dan menit

#### 4.2.2. Analisis Xilinx

Pada perangkat lunak Xilinx dibuat juga program jam dan alarm yang menggunakan keluaran *seven segment*. Tetapi pada saat program di *download* ke FPGA, program digabungkan menjadi satu. Tampilan program jam dan alarm yang menggunakan keluaran *seven segment* yang sudah sukses atau tidak ada *error* setelah melalui proses *Synthesize-XST*, *Implement design* dan *generate programming file*.

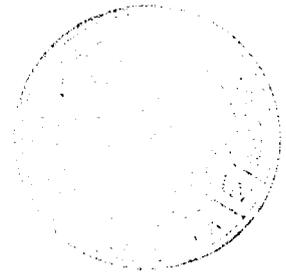


Gambar 4.9. Tampilan program yang didownload



## BAB V

### PENUTUP



#### 5.1. Kesimpulan

Dari hasil pengujian, pengamatan dan analisa pada perancangan sistem, dapat diperoleh beberapa kesimpulan sebagai berikut :

1. Pada *hardware* jam digital, pengaturan jam dan alarm dilakukan dengan tombol *push button* terpisah. Alarm yang digunakan dapat diatur sesuai dengan waktu yang diinginkan.
2. Proses pengaturan jam dan alarm sangat lambat, hal ini dikarenakan *clock* yang digunakan sebesar 1Hz.

#### 5.2. Saran

1. Alat yang dibuat masih kurang sempurna, karena terlalu banyaknya penggunaan pin untuk *seven segment* sebagai output. Untuk penelitian berikutnya dicoba untuk membuat alat ini seringkas mungkin.
2. Pada rangkaian tampilan *seven segment* hanya terdapat tampilan untuk jam dan alarm saja. Untuk penelitian berikutnya dicoba untuk membuat tampilan yang lebih lengkap.
3. Untuk mempermudah dalam proses pengaturan jam dan pengaturan alarm, dapat menggunakan *clock* sebesar 10 MHz. Untuk penelitian berikutnya dicoba untuk membuat pengaturan yang lebih cepat.

## DAFTAR PUSTAKA

Ibrahim K F, Ir.P.Insap Santosa, M.Sc., *TEKNIK DIGITAL*, Andi Yogyakarta, 1996

Owen B., *Dasar-dasar Elektronika*, Erlangga 2004.

Pellerin D, Douglas Taylor., *VHDL Made Easy*, Prentice Hall, PTR, 1997.

Sjoholmand Lindh S., *VHDL FOR DESIGNERS*, Prentice Hall, Europe, 1997.

Van den Bout D., *The Practical Xilinx Designers Lab Book 1.5*, Prentice Hall, Upper Saddle River, 1999.

