

3. Serta Ir. Hj. Budi Astuti, MT, sebagai dosen pembimbing 1 dan juga semua dosen Teknik Elektro UII yang telah memberikan ilmunya.
4. Mba' Umi yang banyak membantu. Mas Heri dan Mas Tri serta serta seluruh teman-teman Lab Digital dan Lab Kendali terima kasih atas bantuannya dan telah mau berbagi ilmu.
5. Ayahanda dan ibunda yang tidak henti-henti berdo'a dan memberikan semangat kepada saya.
6. Kakak dan adik serta saudara-saudara ku yang telah memberikan saran dan do'anya.
7. Mama Solo yang selalu memberi semangat, menghibur, terimakasih atas kebaikan mu.
8. Teman-teman satu kos dan seluruh pihak yang tidak dapat di sebutkan satu-persatu, yang telah memberikan dukungan dan doa.

Penulis menyadari bahwa Tugas Akhir ini masih terdapat kesalahan dan kekurangan. Oleh karena itu, kritik dan saran yang membangun akan senantiasa penulis terima dengan senang hati. Besar harapan laporan ini dapat bermanfaat kepada penulis pada khususnya dan pembaca pada umumnya, amin.

Wassalamu'alaikum Wr. Wb

Jogjakarta, April 2007

Adi Windro

## DAFTAR ISI

Halaman Judul .....	i
Lembar Pengesahan Pembimbing.....	ii
Lembar Pengesahan Penguji.....	iii
Halaman Persembahan.....	iv
Halaman Motto .....	v
Kata Pengantar.....	vi
Abstraksi .....	viii
Daftar Isi .....	ix
Daftar Gambar .....	xii
Daftar Tabel.....	xiv
<b>Bab I PENDAHULUAN</b>	
1.1 Latar Belakang.....	1
1.2 Maksud dan Tujuan .....	2
1.3 Rumusan Masalah.....	3
1.4 Batasan Masalah.....	3
1.5 Manfaat Penulisan Skripsi .....	3
1.6 Metodologi Penelitian .....	4
1.7 Sistematika Penulisan.....	5
<b>Bab II LANDASAN TEORI</b>	
2.1 Sistem Bilangan .....	6
2.2.1 Sistem Bilangan Desimal dan Biner .....	6
2.2.2 Sistem Bilangan Heksadesimal .....	8
2.2 Teknik Pencacah .....	10
2.2.1 Pencacah Biner 4-Bit .....	11
2.2.2 Pencacah Tak Serempak .....	12
2.2.3 Pencacah Paralel .....	13
2.2.4 Pencacah BCD .....	14

Gambar 3.2	Blok diagram dari sistem .....	42
Gambar 3.3	Blok diagram Penjumlah dan Pengurang 8 bit .....	43
Gambar 3.4	Mensinkronkan input yang lebih lebar terhadap <i>clock</i> .....	43
Gambar 3.5	Mendapatkan mode pilihan dari 0 sampai 2 .....	44
Gambar 3.6	Hasil 8-bit diubah menjadi format desimal .....	45
Gambar 3.7	<i>Flowchart</i> Penjumlah dan Pengurang 8 bit .....	47
Gambar 4.1	Skematik Blok Kalkulasi .....	50

## DAFTAR TABEL

Tabel 2.1	Angka-angka Heksadesimal .....	8
Tabel 2.2	Data keluarga Spartan II .....	23
Tabel 2.3	Masukan katoda untuk digit desimal .....	35
Tabel 2.4	Konfigurasi pin yang terdapat pada modul pegasus .....	36
Tabel 2.5	<i>Port accessory</i> .....	37
Tabel 2.6	Pin FPGA XC2S50 .....	37
Tabel 2.7	Konfigurasi pin yang terdapat pada modul pegasus .....	38
Tabel 2.8	Tabel keadaan sistem digital .....	39
Tabel 2.9	Data keluarga Spartan II .....	29
Tabel 2.10	Masukan katoda untuk digit desimal .....	41
Tabel 2.11	Konfigurasi pin yang terdapat pada modul pegasus .....	42
Tabel 2.12	<i>Port accessory</i> .....	42
Tabel 2.13	Pin FPGA XC2S50 .....	43
Tabel 3.1	Dekoder pengubah Heksadesimal menjadi desimal .....	45

Begitu juga dengan perkembangan FPGA (*Field-Programmable Gate Arrays*), walaupun sudah sejak lama berkembang di dunia, tapi di Indonesia masih sedikit sekali yang menggunakannya bahkan mengetahuinya. Di Negara-negara maju FPGA telah banyak digunakan, karena FPGA dapat mengimplementasikan rangkaian kombinasi maupun rangkaian skuensial, tanpa terhambat kekurangan register. Salah satu bahasa yang digunakan adalah VHDL (*VHSIC Hardware Description Language*) dan Schematic. Dalam FPGA kita bukannya membuat program, tapi lebih tepatnya adalah merekonfigurasi FPGA.

## 1.2 Maksud dan Tujuan

Adapun maksud dan tujuan dari skripsi ini selain sebagai salah satu syarat untuk memenuhi kurikulum S-1 Jurusan Teknik Elektro Fakultas Teknologi Industri Universitas Islam Indonesia juga untuk:

1. Mensimulasikan suatu unit digital yang dapat digunakan untuk menyelesaikan operasi aritmatik penjumlahan, pengurangan dan perkalian.
2. Memprogram suatu FPGA supaya dapat digunakan untuk menyelesaikan operasi aritmatik penjumlahan, pengurangan dan perkalian.
3. Membuat prototipe aplikasi FPGA yang berupa unit penjumlahan, pengurangan dan perkalian.

## **1.7 Sistematika Penulisan**

Dalam penulisan, sistematika penulisanya terdiri dari lima bab yaitu :

### **BAB I PENDAHULUAN**

Bab ini berisi tentang latar belakang masalah, perumusan masalah, batasan masalah, tujuan penulisan dan sistematika penulisan.

### **BAB II DASAR TEORI**

Bab ini berisi tentang teori-teori yang digunakan dalam perancangan dan pembuatan peralatan.

### **BAB III PERANCANGAN SISTEM**

Bab ini menjelaskan perancangan sistem, komponen yang digunakan serta penjelasannya dan desain perangkat kerasnya.

### **BAB IV ANALISA DAN PEMBAHASAN**

Bab ini akan menjelaskan hasil dari pengujian alat yang dibuat dan akan dibandingkan dengan teori yang digunakan.

### **BAB V PENUTUP**

Bab ini berisi kesimpulan-kesimpulan dari peralatan yang dibuat dan berisi saran-saran guna pengembangan dimasa yang akan datang.

suatu sandi dapat menggunakan berapapun banyaknya lambang yang kita inginkan. Sistem bilangan biner adalah suatu sandi yang hanya menggunakan dua lambang dasar, lambang yang lazim digunakan untuk sistem biner ini adalah 0 dan 1.

Suatu bilangan dapat dikonversikan kedalam bentuk sistem bilangan yang lainnya, hal ini paling mudah dapat dipahami dengan cara melihat secara langsung dari contoh-contoh sebagai berikut:

### 1. Konversi desimal ke biner

$$176 = \dots\dots\dots_2$$

$$176 : 2 = 88 \text{ sisa } 0 \text{ (LSB)}$$

$$88 : 2 = 44 \text{ sisa } 0$$

$$44 : 2 = 22 \text{ sisa } 0$$

$$22 : 2 = 11 \text{ sisa } 0$$

$$11 : 2 = 5 \text{ sisa } 1$$

$$5 : 2 = 2 \text{ sisa } 1$$

$$2 : 2 = 1 \text{ sisa } 0$$

$$1 : 2 = 0 \text{ sisa } 1 \text{ (MSB)}$$

$$\text{Jadi } 176_{10} = 10110000_2$$

### 2. Konversi biner ke desimal

$$\begin{aligned} 10101101_2 &= (1 \times 2^7) + (1 \times 2^5) + (1 \times 2^3) + (1 \times 2^2) + (1 \times 2^0) \\ &= 128 + 32 + 8 + 4 + 1 \\ &= 173 \end{aligned}$$

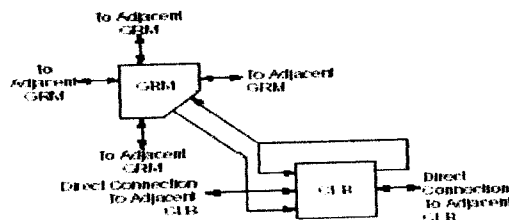
$$\text{Jadi } 10101101_2 = 173_{10}$$

Namun untuk keperluan tertentu, optimasi jalur yang paling pendek dapat dilakukan *routing* manual.

Dalam keluarga Spartan II ada beberapa macam *routing* yang bisa digunakan yaitu:

### 1. *Local Routing*

*Local Routing* digunakan untuk mengimplementasikan hubungan antara LUT, flip-flop dan *General Routing Matrix* (GRM), antara jalur umpan balik internal CLB dengan LUT lain pada CLB yang sama untuk koneksi *high speed*, serta antara jalur-jalur langsung yang bisa dibuat untuk memperkecil *delay*.



**Gambar 2.17** Struktur *Local Routing*

### 2. *General Purpose Routing*

*General Purpose Routing* digunakan untuk melakukan koneksi vertikal dan horisontal antar kolom dan baris CLB yang digunakan.

### 3. *I/O Routing*

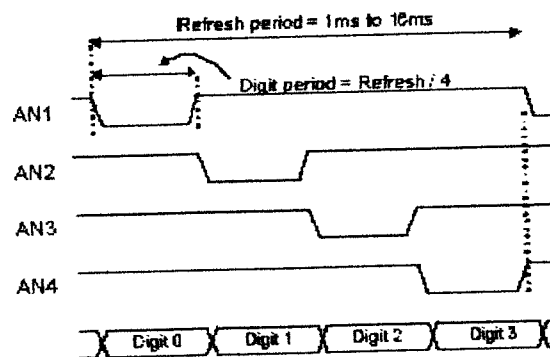
*I/O Routing* khusus digunakan untuk menghubungkan *array* pada CLB dengan IOB.

### 4. *Dedicated Routing*



untuk *digit 1* yang ada pada CA - CG. Begitu pula dengan *digit 2*, *digit 3* dan *digit*

4. hal ini dapat dilihat pada gambar 2.24.



**Gambar 2.24** Diagram waktu sinyal *seven-segment*

**Tabel 2.3** Masukan katoda untuk *digit* desimal

Digit Shown	Cathode Signals						
	a	b	c	d	e	f	g
0	0	0	0	0	0	0	1
1	1	0	0	1	1	1	1
2	0	0	1	0	0	1	0
3	0	0	0	0	1	1	0
4	1	0	0	1	1	0	0
5	0	1	0	0	1	0	0
6	0	1	0	0	0	0	0
7	0	0	0	1	1	1	1
8	0	0	0	0	0	0	0
9	0	0	0	1	1	0	0

### 2.7.6 Port I/O Tambahan

Pada modul Pegasus terdapat 3 *port* tambahan (A1, A2, dan B1) dengan masing-masing *port* terdapat 40 *pin*. Masing-masing *port* memiliki GND pada *pin* 1, VU pada *pin*2, dan 3Vdc - 5Vdc pada *pin*3. untuk *pin* 4-35 merupakan *pin* sinyal I/O, dan *pin* 36-40 digunakan sebagai *port* JTAG tambahan, atau juga bisa digunakan sebagai *clock* tambahan.

## BAB IV

### ANALISA DAN PEMBAHASAN

#### 4.1 Analisis sistem

Sistem Kalkulasi dapat bekerja dengan baik jika telah di *synthesize* sebelum *listing* program akan di *generate* menjalankan kalkulasi data pada bilangan A dan bilangan B. Untuk mengoperasikannya alat ini dapat dilakukan dengan langkah-langkah berikut ini :

1. Memberi masukan nilai pada bagian bilangan A dan bilangan B dengan cara menekan salah satu tombol pada *keypad* sesuai dengan nilai yang kita inginkan.
2. Memilih operasi aritmatika pada salah satu tombol pada *keypad*, jika memilih operasi penjumlahan maka blok kalkulator akan mengeksekusi operasi penjumlahan dan seterusnya.
3. Hasil kalkulasi akan diproses pada blok kalkulator, kemudian menekan tombol *enter* atau hasil pada *keypad*.
4. Keluaran hasil berupa desimal diubah kedalam bentuk desimal melalui dekoder yang telah disusun. Lihat tabel 3.1 Dekoder pengubah Heksadesimal menjadi desimal
5. Tampilan 7-ruas menampilkan hasil kalkulasi. Berikut layout jika dilihat dari *software project navigator*.

## 5.2 Saran

Karena perancangan kalkulator ini dinilai masih banyak kekurangannya maka untuk pengembangan selanjutnya disarankan untuk memperhatikan beberapa hal berikut:

1. Kedepan hendaknya perancangan kalkulator dapat dilakukan dengan menambahkan *digit* masukan dan operasinya.
2. Jika pengendalian dilakukan dengan FPGA hendaknya diperhitungkan banyaknya gerbang logika dasar digital yang mampu dilayani. Untuk perancangan kalkulator ini cukup dengan menggunakan Xilinx Spartan2 Xc2s50-PQ208, karena seri ini sudah memiliki jumlah gerbang yang lebih dari cukup.
3. Dengan kemampuan FPGA yang lebih besar antara *display* dengan sistem utama dapat menggunakan hanya dengan satu buah FPGA.