

TUGAS AKHIR
PENERIMA DENGAN MENGGUNAKAN
DIRECT SQUENCE SPREAD SPECTRUM (DSSS)

Diajukan Sebagai Salah Satu Syarat
Untuk Mendapat Gelar Sarjana Teknik Elektro



Disusun Oleh :

Nama : Cahyo Tetuko

No. Mahasiswa : 99 524 119

JURUSAN TEKNIK ELEKTRO
FAKULTAS TEKNOLOGI INDUSTRI
UNIVERSITAS ISLAM INDONESIA
YOGYAKARTA
2007

LEMBAR PENGESAHAN PEMBIMBING

**PENERIMA DENGAN MENGGUNAKAN
*DIRECT SEQUENCE SPREAD SPECTRUM (DSSS)***

TUGAS AKHIR



Oleh :

Nama : Cahyo Tetuko

No. Mahasiswa : 99 524 119

Yogyakarta, 20 September 2007

Pembimbing I

Tito Yuwono, ST, Msc

Pembimbing II

Dwi Ana Ratna Wati, ST

LEMBAR PENGESAHAN PENGUJI
PENERIMA DENGAN MENGGUNAKAN
DIRECT SEQUENCE SPREAD SPECTRUM (DSSS)

TUGAS AKHIR

Oleh :

Nama : Cahyo Tetuko
No. Mahasiswa : 99 524 119

**Telah Dipertahankan di Depan Penguji sebagai Salah satu Syarat
untuk Memperoleh Gelar Sarjana Jurusan Teknik Elektro
Fakultas Teknologi Industri Universitas Islam Indonesia**

Yogyakarta, 29 September 2007

Tim Penguji

Tito Yuwono, ST., M.Sc.

Ketua

Dwi Ana Ratna Wati, ST.

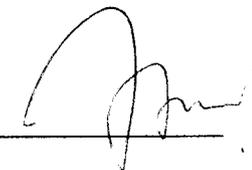
Anggota I

Agung Alfiansyah, ST., DEA

Anggota II







Mengetahui

Ketua Jurusan Teknik Elektro

Fakultas Teknologi Industri

Universitas Islam Indonesia



Tito Yuwono, ST., M.Sc.

MOTTO

"Shalat lebih penting dari segalanya, laksanakan"

(Bapak)

"Tiap-tiap kamu adalah pemimpin dan tiap-tiap kamu bertanggung jawab atas hal-hal yang dipimpinnya"

(HR Bukhari, Muslim dan Turmidzi)

"Apabila telah ditunaikan sembahyang, maka bertebaranlah kamu di muka bumi, dan carilah karunia Allah banyak-banyak supaya kamu beuntung."

QS AlJumu'ah 10

...Dan sungguh akan Kami beri cobaan kepadamu, dengan sedikit ketakutan, kelaparan, kekurangan harta, jiwa dan buah-buahan. Dan berikanlah berita gembira kepada orang-orang yang sabar...

QS Albaqarah 155

HALAMAN PERSEMBAHAN



Kupersembahkan karya ini buat :

Ibu dan Ayahku tercinta

....yang telah melimpahkan restu dan do'anya

Adik-adiku tercinta

....dan untuk D Ayu istriku tersayang

dan semoga Allah SWT mencatatnya sebagai amal kebajikan.

KATA PENGANTAR

Alhamdulillah, puji syukur yang tak terhingga ke Hadirat Allah SWT, atas limpahan Rahmat, Hidayah, Inayah serta bimbingan-Nya sehingga laporan tugas akhir ini dapat diselesaikan dengan baik. Sholawat serta salam semoga senantiasa tercurahkan kepada junjungan Nabi besar Muhammad SAW. sebagai pembawa risalah dan pembawa rahmah yang telah mengentaskan umat manusia dari kebodohan dan kegelapan, juga semoga sholawat serta salam tercurahkan kepada keluarganya, para sahabatnya dan seluruh pengikut setianya sampai akhir zaman.

Dalam rangka menyelesaikan studi di Fakultas Teknologi Industri Jurusan Teknik Elektro maka penyusun telah menyelesaikan tugas akhir dengan judul **“PENERIMA DENGAN MENGGUNAKAN *DIRECT SQUENCE SPREAD SPECTRUM (DSSS)*”**.

Dalam menyelesaikan tugas akhir ini banyak sekali bimbingan dan bantuan dari berbagai pihak, sehingga dengan sangat besar hati kiranya penyusun mengucapkan banyak terima kasih kepada pihak-pihak sebagai berikut :

1. Bapak Tito Yuwono, ST., Ms.c. selaku dosen pembimbing utama dan ketua Jurusan Teknik Elektro Universitas Islam Indonesia, yang telah bersedia meluangkan waktunya untuk memberikan bimbingannya.
2. Ibu Dwi Ana Ratna Wati, ST. selaku dosen pembimbing kedua yang telah memberikan saran dan bimbingannya.
3. Segenap dosen dan staf akademis Fakultas Teknologi Industri khususnya Teknik Elektro yang telah memberikan fasilitas, bimbingan dan ilmunya.

4. Ibu dan Ayah, Saudara-saudaraku atas segala kasih sayang dan cintanya, bantuan moril dan materi serta do`anya.
5. Teman-teman seperjuangan Yudi, Sucip, Slamet dll. atas segala bantuan dan do`anya.

Penulis menyadari bahwa dalam laporan tugas akhir ini masih banyak kekurangan, oleh karenanya penyusun mengharapkan saran serta kritik yang bersifat membangun guna menjadi bahan evaluasi bagi penyusun.

Akhirnya, penyusun mengucapkan banyak terima kasih semoga karya ini dapat bermanfaat bagi para pembaca yang membutuhkannya.



Yogyakarta, September 2007

Penyusun

Cahyo Tetuko

DAFTAR ISI

	Halaman
HALAMAN JUDUL	i
HALAMAN PENGESAHAN	ii
HALAMAN PENGESAHAN PENGUJI	iii
HALAMAN MOTTO	iv
HALAMAN PERSEMBAHAN	v
KATA PENGANTAR	vi
DAFTAR ISI	viii
DAFTAR GAMBAR	xi
DAFTAR TABEL	xiii
ABSTRAKSI	xiv
BAB I PENDAHULUAN	1
1.1 Latar Belakang Masalah	1
1.2 Rumusan Masalah	2
1.3 Batasan Masalah	2
1.4 Tujuan Penelitian	3
1.5 Sistematika Penulisan	3
BAB II LANDASAN TEORI	5
2.1 Pendahuluan	5
2.2 Spektrum Tersebar Runtun Langsung	6
2.3 Runtun Derau Semu	9
2.4 Runtun Gold	12

2.5 Pembagi Frekuensi	13
2.6 Penguat Operasional (<i>OP-AMP</i>)	14
2.6.1 Penguat <i>Inverting</i>	15
2.7 <i>Shift Register 8-bit</i>	16
2.8 <i>Flip-flop D</i>	18
2.9 Multiplexer Analog	20
BAB III PERANCANGAN SISTEM	23
3.1 Penerima	23
3.2 Rangkaian <i>Dual Inline Package (DIP) Swicth</i>	24
3.3 Register Geser Dengan Masukan Paralel ke Keluaran Seri ...	25
3.4 Penyerempak Data	26
3.5 Pembagi Frekuensi	27
3.6 Runtun PN	29
3.7 Multiplexer Analog	30
3.8 Demultiplexer	31
3.9 Pengintegral dan Pembuang	32
3.10 Pembanding	33
3.11 Rangkaian Sinkronisasi	34
BAB IV ANALISA DAN PEMBAHASAN	36
4.1 Sumber data <i>Shift Register 8-Bit</i>	36
4.2 Penerima	38
4.2.1 Demultiplexer Analog	38
4.2.2 Pengintegralan dan Pembuang	39

4.2.3 Rangkaian Sinkronisasi	40
BAB V PENUTUP	44
5.1 Kesimpulan	44
5.2 Saran	45
DAFTAR PUSTAKA	46
LAMPIRAN	



DAFTAR GAMBAR

		Halaman
Gambar 2.1	Sinyal spektrum tersebar dan sinyal informasi pita sempit	5
Gambar 2.2	Diagram blok pengirim DSSS	6
Gambar 2.3	Proses penyebaran dalam kawasan waktu	7
Gambar 2.4	Diagram blok penerima DSSS Gelombang Frekuensi	7
Gambar 2.5	Proses desreading pada kawasan waktu	8
Gambar 2.6	Diagram blok register geser	10
Gambar 2.7	Contoh pembuatan Runtun Gold dengan $[5,2]_s$ dan $[5,1]$	12
Gambar 2.8	Konfigurasi IC 4060	13
Gambar 2.9	Pin Konektor TL074	14
Gambar 2.10	Jenis – jenis masukan pada Op-Amp	15
Gambar 2.11	Rangkaian penguat <i>inverting</i>	16
Gambar 2.12	Diagram logika IC 4014	17
Gambar 2.13	Simbol IC 7474	19
Gambar 2.14	Diagram fungsional untuk IC 4053	22
Gambar 3.1	Untai penerima	23
Gambar 3.2	Rangkaian <i>DIP-Switch</i>	24
Gambar 3.3	Register geser paralel ke seri dengan masukan data 8-bit	25
Gambar 3.4	Penyerempak data.	26
Gambar 3.5	Register geser	29
Gambar 3.6	Multiplekser <i>analog</i>	30
Gambar 3.7	Rangkaian demodulator	32

Gambar 3.8	Pengintegralan	32
Gambar 3.9	Rangkaian pengintegral	33
Gambar 3.10	Pembanding tegangan	34
Gambar 3.11	Rangkaian sinkronisasi	35
Gambar 4.1	Sinyal keluaran pada <i>shift register 8-bit</i> saat diberi masukan data 10001000	37
Gambar 4.2	Sinyal keluaran pada <i>shift register 8-bit</i> saat diberi masukan data 10101010	37
Gambar 4.3	Sinyal tersebar	38
Gambar 4.4	Keluaran IC 4053	39
Gambar 4.5	Masukan integrator dan keluaran integrator	40
Gambar 4.6	Keluaran sinyal integral dan pembanding tegangan	40
Gambar 4.7	Tunda waktu pembanding tegangan	41
Gambar 4.8	Tunda waktu runtun PN dan keluaran Flip-flop D	42
Gambar 4.9	Runtun PN dan sinyal rx_b sebelum masuk EXOR	42
Gambar 4.10	Perbandingan data terkirim dengan data terpulihkan sebelum melalui gerbang pembalik	43
Gambar 4.11	Perbandingan data terkirim dengan data terpulihkan	43

DAFTAR TABEL

		Halaman
Tabel 2.1	Pergeseran register geser	11
Tabel 2.2	Tabel Kebenaran IC 4060	13
Tabel 2.3	Keterangan Pin IC 4060	14
Tabel 2.4	Keterangan Pin IC 4014	17
Tabel 2.5	Tabel Kebenaran IC 4014	18
Tabel 2.6	Tabel Kebenaran D flip-flop dengan IC 7474	20
Tabel 2.7	Tabel Kebenaran IC 4053B	21



ABSTRAKSI

Teknik spektrum penyebaran awalnya dikembangkan untuk kepentingan militer dan intelejen. Ide dasarnya adalah untuk menyebarkan sinyal informasi melalui *bandwith* yang lebih luas untuk mencegah dilakukannya pecegatan informasi dan gangguan-gangguan lainnya. Dalam pengiriman sinyal digital diperlukan penyandian pesan yang memiliki keuntungan selain menjaga kerahasiaan juga untuk memperbesar efisiensi dalam proses pengirimannya. Dengan kata lain menyembunyikan informasi ke dalam derau semu. Teknologi ini membuat sulit musuh untuk mendeteksi adanya sinyal. Sekalipun terdeteksi, sinyal tersebar ini akan sulit dikumpulkan kembali (*despreading*) ke sinyal semula yang dikirim tanpa mengetahui kode sebenarnya. Metode yang cukup handal dengan rangkaian yang sederhana serta mempunyai tingkat kesalahan yang relatif kecil yaitu dengan menggunakan *BPSK* (*Binary Phase Shift Keying*). Keuntungan dari sistem penyandi dengan menggunakan *BPSK* yaitu rangkaian cukup sederhana dan dapat diterapkan untuk aplikasi-aplikasi yang cukup luas. Secara garis besar rangkaian penerima terdiri dari tiga bagian utama yaitu demultiplekser analog yang berfungsi memisahkan sinyal pesan dari sinyal pembawa yang menumpanginya. Proses ini juga dikenal dengan pengumpulan kembali (*despreading*). Rangkaian pengintegral dan pembuang (*integrate and dump*) berguna untuk mengintegalkan isyarat hasil demultipleks di penerima. dan flip-flop untuk rangkaian sinkronisasi. Pembuatan alat penerima dengan menggunakan *Direct Sequence Spread Spectrum* (*DSSS*) telah berhasil dibuat dengan baik, hal ini dapat dilihat dari hasil keluaran yang telah sesuai dengan teori. Model perangkat keras spektrum tersebar runtun langsung yang telah dapat mendemonstrasikan pengiriman dan penerimaan data digital dengan modulasi *BPSK* berfungsi baik sesuai teori, dengan menggunakan komponen yang tersedia di pasaran.

BAB I

PENDAHULUAN

1.1 Latar Belakang

Teknologi spektrum tersebar dikembangkan selama Perang Dunia II untuk menyediakan keamanan dalam komunikasi militer. Teknologi spektrum tersebar menyebarkan sinyal informasi pita-sempit ke dalam suatu sinyal pita-lebar seperti derau. Dengan kata lain, menyembunyikan informasi ke dalam derau semu. Teknologi ini membuat sulit musuh untuk mendeteksi adanya sinyal. Sekalipun dideteksi, sinyal tersebar ini akan sulit dikumpulkan kembali (*despreading*) ke sinyal semula yang dikirim tanpa mengetahui kode sebenarnya.

Penyebaran gelombang dikendalikan oleh sebuah runtun *Pseudo-Noise* (PN), yang merupakan suatu runtun acak biner. PN ini kemudian dikalikan (*multiplied*) dengan sinyal asli pita-dasar yang mempunyai frekuensi lebih rendah dan menghasilkan suatu bentuk gelombang tersebar yang menyerupai derau. Di penerima, terjadi kebalikannya. Sinyal akan didemodulasi, memisahkan sinyal pesan dengan sinyal yang ditumpanginya kemudian sinyal pesan yang mengandung kode ini dicocokkan dengan menggunakan kode PN di penerima. Sinyal pesan akan dipisahkan dari kode dan diteruskan, jika kode PN pada sinyal masuk sama dengan kode PN pada penerima..

Spektrum tersebar runtun langsung (*Direct Sequence Spread Spectrum, DSSS*) paling luas dikenal dan digunakan dalam sistem spektrum tersebar, juga relatif sederhana dalam implementasi. Dalam sistem DSSS ini sinyal yang

digunakan sebagai pembawa sinyal informasi, biasanya menggunakan sinyal BPSK (*Binary Phase Shift Keying*). Sinyal ini merupakan sinyal sinusoida amplitudo tetap dengan beda fase 180° . Pada sisi penerima proses yang digunakan sangat sederhana. Pertama kali yang dilakukan adalah sinyal BPSK didemodulasi, baru kemudian dilakukan penggabungan kembali (*despread*) untuk mendapatkan sinyal data terpulihkan.

1.2 Rumusan Masalah

Agar arah dari proyek akhir ini menjadi lebih jelas, maka perlu dibuat rumusan masalah yang harus dipecahkan yaitu :

1. Bagaimana merancang suatu rangkaian penerima DSSS?
2. Bagaimana cara kerja dari rangkaian penerima DSSS?
3. Bagaimana unjuk kerja dari rangkaian penerima DSSS yang dibuat?
4. Bagaimana proses pendekodean ulang data yang tersandi DSSS untuk mendapatkan data yang sebenarnya

1.3 Batasan Masalah

Adapun permasalahan yang akan dihadapi dibatasi sebagai berikut:

1. Akan dibuat suatu penerima spektrum tersebar runtun langsung dengan *pseudo noise code* (DSSS).
2. Masukan diperoleh dengan menghubungkan secara langsung keluaran dari pemancar runtun langsung.
3. Frekuensi *clock* disesuaikan dengan frekuensi dari data masukan.

4. Pada tugas akhir ini, pembahasan hanya difokuskan pada proses pendekodean dari data hasil pengiriman dari pemancar.

1.4 Tujuan Penelitian

Tujuan dari penelitian ini yaitu diharapkan mampu merancang perangkat keras dan membuat untai penerima DSSS serta menjelaskan sistem kerja dari rangkaian yang dibuat.

1.5 Sistematika Penulisan

Sistematika penulisan tugas akhir ini terdiri dari lima bab, dengan masing-masing bab adalah sebagai berikut :

BAB I PENDAHULUAN

Pada bab ini berisi tentang latar belakang masalah, perumusan masalah, batasan masalah, tujuan penelitian serta sistematika penulisan.

BAB II LANDASAN TEORI

Pada bab ini berisi tentang dasar teori dan rumus yang merupakan acuan dalam perancangan dan pembuatan rangkaian yang meliputi penjelasan tentang gambaran alat, sifat, karakteristik dan kegunaan komponen.

BAB III PERANCANGAN SISTEM

Pada bab ini diuraikan mengenai perancangan alat (perangkat keras) keseluruhan sistem

BAB IV ANALISA DAN PEMBAHASAN

Pada bab ini dibahas tentang berbagai data hasil pengujian, yang selanjutnya akan dilakukan analisa dan dibandingkan dengan teori yang ada, serta menganalisis tiap bagian dari keseluruhan sistem.

BAB V PENUTUP

Pada bab ini merupakan akhir dari penyusunan laporan tugas akhir, yang berisi tentang kesimpulan dan saran-saran dari penyusun.

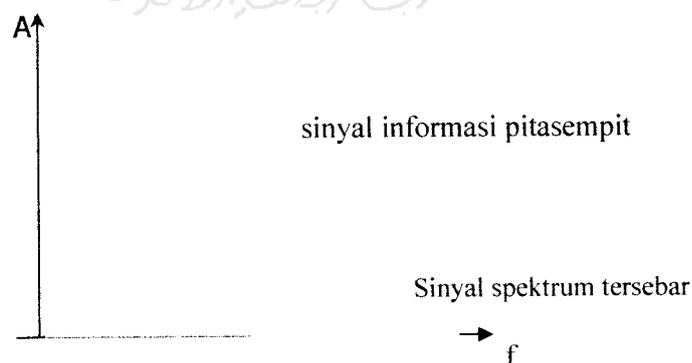


BAB II

LANDASAN TEORI

2.1. Pendahuluan

Bentuk komunikasi yang semakin populer yaitu menggunakan spektrum penyebaran. Teknik spektrum penyebaran awalnya dikembangkan untuk kepentingan militer dan intelejen. Ide dasarnya adalah untuk menyebarkan sinyal informasi melalui *band width* yang lebih luas untuk mencegah dilakukannya pengecatan informasi dan gangguan lainnya. Spektrum tersebar menggunakan pita-lebar (*wideband*) yang sinyalnya terlihat seperti derau sehingga sulit untuk dideteksi, atau didemodulasi. Sinyal spektrum tersebar juga lebih sulit untuk diterjang (*jam*) dibanding sinyal pita-sempit. Kecilnya kemungkinan ditangkap dan anti-jam merupakan alasan mengapa militer menggunakan teknik spektrum tersebar. Penggunaan kode derau semu (PN) dalam komunikasi spektrum tersebar menyebabkan sinyal tampak lebih lebar dan seperti derau. Karakteristik inilah yang membuat sinyal spektrum tersebar memiliki kemungkinan untuk ditangkap rendah.



Gambar 2.1 Sinyal spektrum tersebar dan sinyal informasi pita sempit

Pada Gambar 2.1 ditunjukkan bagaimana suatu sinyal ketika sebelum dilakukan penyebaran mempunyai daya yang besar dibandingkan saat sinyal sudah melalui proses penyebaran. Parameter penting dalam spektrum tersebar adalah Faktor Penyebaran (*Spreading Factor*) atau Perolehan Pengolahan (*Processing Gain*), yang didefinisikan

$$G = \frac{BW_{rf}}{BW_{nf}} \quad (2.1)$$

Keterangan :

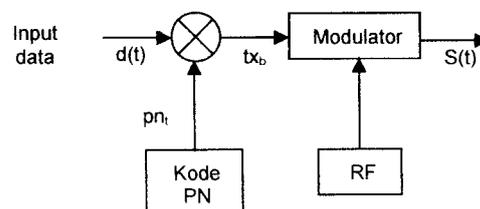
G = Perolehan Pengolahan (*Processing Gain*)

BW_{rf} = Lebar-pita dalam Hertz

BW_{nf} = Kecepatan pesat informasi dalam bit per second

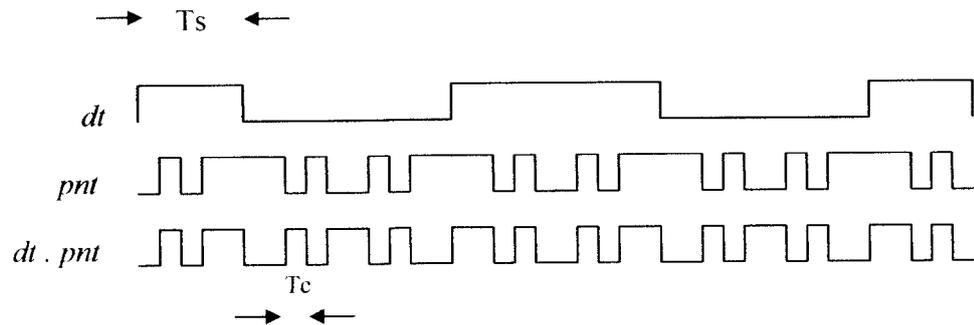
2.2. Spektrum Tersebar Runtun Langsung

Spektrum Tersebar Runtun Langsung (DSSS) dalam menyebarkan sinyal dengan mengalikan masukan data dengan suatu runtun kode tertentu, dalam hal ini menggunakan Runtun derau semu atau disebut juga Runtun PN (*Pseudo-Noise Sequence*). Oleh modulator hasil perkalian antara masukan data dengan runtun PN ditumpangkan pada sinyal pembawa (*frequency carrier*) agar dapat terkirim. Pembawa pada DSSS menempati frekuensi yang sudah ditentukan dan tidak berubah. Diagram blok untuk pengirim DSSS dapat dilihat pada Gambar 2.2



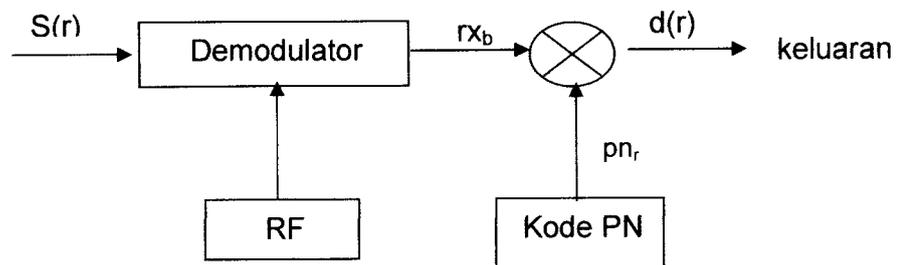
Gambar 2.2 Diagram blok pengirim DSSS

Dari diagram blok di atas terdapat dua masukan yaitu yang pertama data biner $d(t)$ dengan kecepatan simbol $R_s = 1/T_s$, dan kedua adalah kode PN dengan kecepatan chip $R_c = 1/T_c$.



Gambar 2.3 Proses penyebaran dalam kawasan waktu

Gambar 2.3 menunjukkan proses penyebaran dalam kawasan waktu dimana terlihat periode simbol T_s lebih besar dari periode chip T_c , yang berarti pesat simbol R_s lebih kecil dibandingkan pesat chip R_c . Pada penerima, demodulator memisahkan sinyal pesan dari sinyal pembawa yang ditumpanginya. Sinyal pesan yang mengandung kode ini dicocokkan dengan kode PN di penerima. Sinyal pesan akan dipisahkan oleh kode dan diteruskan, jika kode PN pada sinyal masuk sama dengan kode di penerima. Jika PN di penerima tidak sama dengan PN di pengirim maka pengumpulan kembali (*despreading*) tidak akan terlaksana. Diagram blok 2.4 menunjukkan penerima DSSS.



Gambar 2.4 Diagram blok penerima DSSS

Proses pengumpulan kembali (*despreading*) di penerima terlihat pada Gambar 2.4. Sinyal tersebar $S(r)$ menjadi masukan demodulator untuk memisahkan sinyal pembawa dan akan menghasilkan sinyal rx_b yang merupakan produk dari data biner dengan kode PN. Untuk menghasilkan data biner, rx_b dikalikan dengan kode PN. Keluaran perkalian di penerima (pn_r disamakan dengan pn_t)

$$d(r) = rx_b \cdot pn_r = \{d(t) \cdot pn_t\} \cdot pn_t \quad (2.2)$$

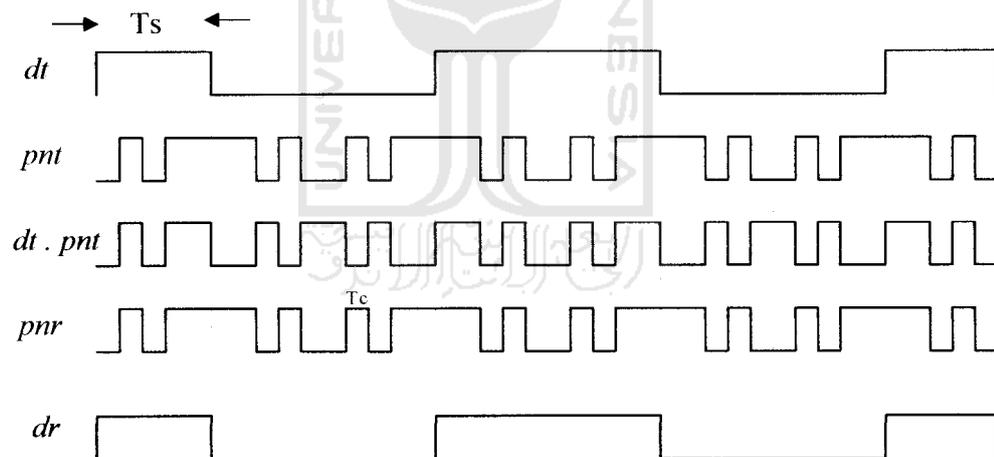
Keterangan :

$d(r)$ = Data Biner

rx_b = Data biner dengan kode PN

pn_r = Kode PN penerima

pn_t = Kode PN pengirim



Gambar 2.5 Proses despreading pada kawasan waktu

Runtun PN pn_t diwakili dengan level -1 dan $+1$, sebagai contoh $+1 +1 +1 -1 +1 -1 -1$. Pertukaran akan hilang ketika runtun PN pn_t dikalikan dengan dirinya sendiri (penyerempakan sempurna) karena

$$pn_t \cdot pn_t = +1 \quad (2.3)$$

Maka korelasi-diri

$$R_a(\tau=0) = \text{average}(pn_t \cdot pn_t) = +1 \quad (2.4)$$

Dan sinyal data akan terpulihkan di perkalian akhir sehingga $d(t) = d(r)$.

Jika sinyal yang diterima dikalikan dengan runtun PN pn_t dengan kode berbeda dengan yang berada di modulator, hasil akhir akan terlihat

$$d(r) = rx_b \cdot pn_t = \{d(t) \cdot pn_t\} \cdot pn_r \quad (2.5)$$

Pada penerima pendeteksian sinyal yang diinginkan dicapai dengan korelasi terhadap runtun PN lokal. Untuk keamanan komunikasi dalam pemakaian jamak, pengiriman data $d(t)$ mungkin tidak akan diperoleh oleh seorang pemakai (*user*) jika runtun PN pn_t yang digunakan di pengirim tidak diketahui. Oleh karena itu korelasi-silang

$$R_c(\tau) = \text{average}(pn_t \cdot pn_r) \ll 1 \text{ untuk semua } \tau \quad (2.6)$$

akan dibutuhkan. Keluaran dari korelator digunakan pada penerima dengan perkiraan nol kecuali pengiriman yang diinginkan.

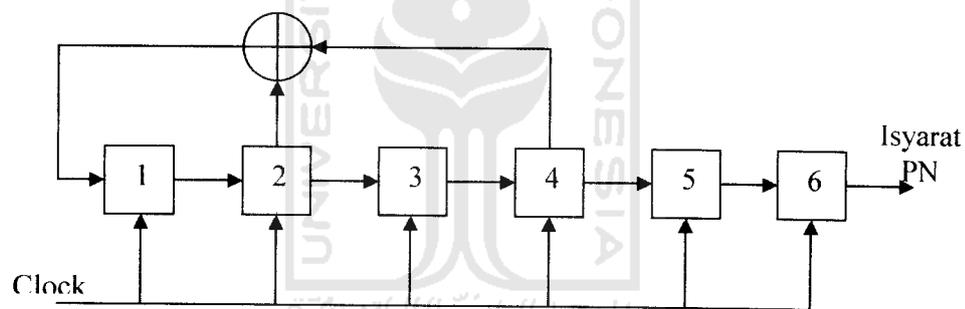
2.3. Runtun Derau Semu

Bentuk sinyal penyebaran (*spreading*) dipengaruhi oleh Runtun Derau Semu atau Runtun PN (*Pseudo-Noise*). Sebuah Runtun PN atau *Pseudorandom* adalah sebuah runtun sinyal digital yang mempunyai sifat seperti derau. Sebenarnya runtun

sinyal ini bukan merupakan derau namun suatu runtun kode digital yang telah ditentukan nilainya berjalan secara periodis, sehingga nampak seperti derau.

Panjang suatu PN bisa dibagi menjadi dua bagian yaitu yang pertama kode pendek dan yang kedua kode panjang. Runtun PN kode pendek panjangnya sama untuk tiap simbol data ($N_c.T_c = T_s$). Sedangkan kode panjang memiliki periode runtun PN lebih panjang dari simbol data, pola chip yang berbeda digabungkan dengan tiap simbol ($N_c.T_c \gg T_s$)

Runtun ini terbentuk dari sebuah register geser (*shift register*) dengan untai kombinasi gerbang logika sebagai umpan balik pada masukan. Sebuah contoh mudah dalam pembuatan Runtun Derau Semu seperti Gambar 2.6 dengan menggunakan runtun maksimum.



Gambar 2.6 Diagram blok register geser

Panjang sebuah runtun maksimum dapat dituliskan

$$N = 2^m - 1 \quad (2.7)$$

Keterangan :

N = Panjang runtun maksimum

m = Panjang register geser

Jika nilai m adalah 4 seperti pada Gambar 2.6 maka panjang runtun maksimum adalah $N = 2^4 - 1$, yaitu 15.

Panjang runtun maksimum merupakan siklus yang dibutuhkan suatu register geser untuk kembali menuju nilai awal. Jika masukan untuk gambar di atas adalah 0001, pergeseran pada register dapat dilihat pada tabel 2.1 di bawah ini

Tabel 2.1 Pergeseran register geser

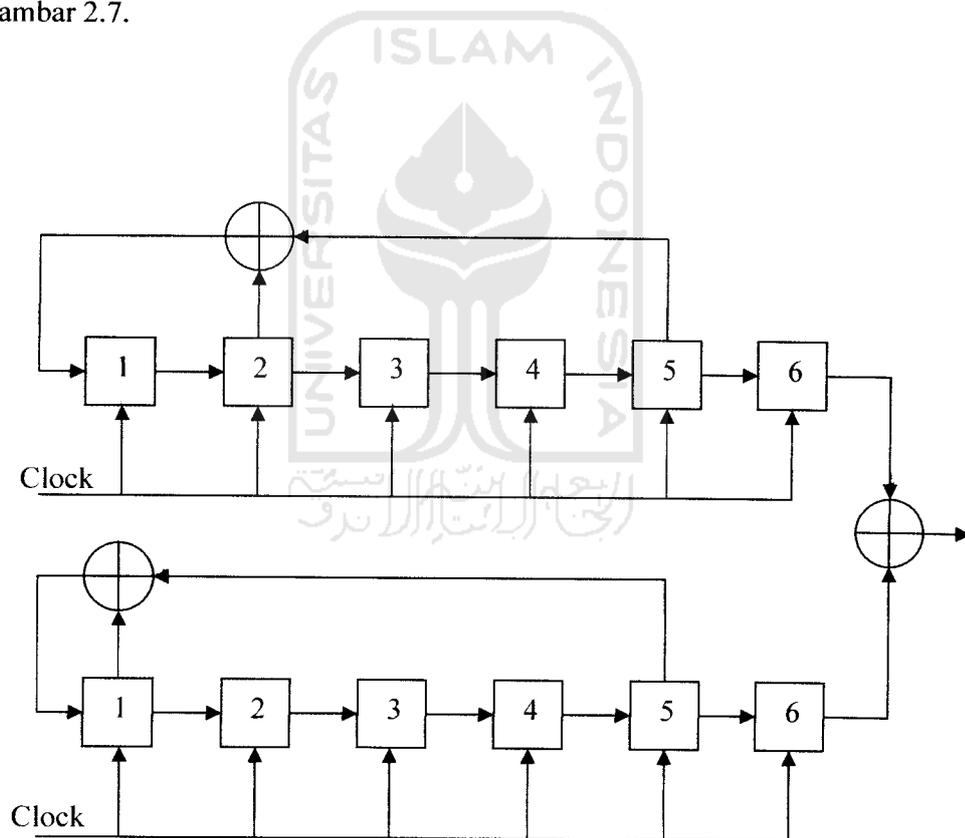
1	2	3	4
1	0	0	0
1	1	0	0
1	1	1	0
1	1	1	1
0	1	1	1
1	0	1	1
0	1	0	1
1	0	1	0
1	1	0	1
0	1	1	0
0	0	1	1
1	0	0	1
0	1	0	0
0	0	1	0
0	0	0	1

Untuk runtun maksimum ini mempunyai jumlah bit 1 lebih banyak dari bit 0 pada sebuah periode runtun. Jumlah bit 1 dalam runtun maksimum diperoleh dari 2^{m-1} dan jumlah bit 0 sebesar $2^{m-1} - 1$.

2.4. Runtun Gold

Runtun Gold adalah satu jenis Runtun PN. Runtun Gold dibangkitkan dengan menggunakan *Modulo-2 adder (XORING)* dari dua runtun maksimum yang mempunyai faktor kode (panjang runtun) sama. Kedua runtun ini ditambahkan chip demi chip dengan pewaktuan sinkron. Pergeseran fase pada salah satu runtun akan menghasilkan Runtun Gold yang berbeda. Runtun Gold juga mempunyai panjang runtun 2^m-1 . Untuk mendapatkan Runtun Gold yang ideal selisih jumlah bit 1 dan bit 0 dari runtun hanya 1 bit. Jumlah bit 1 didapatkan dari 2^{m-1} .

Suatu diagram blok yang menunjukkan sebuah Runtun Gold digambarkan di Gambar 2.7.



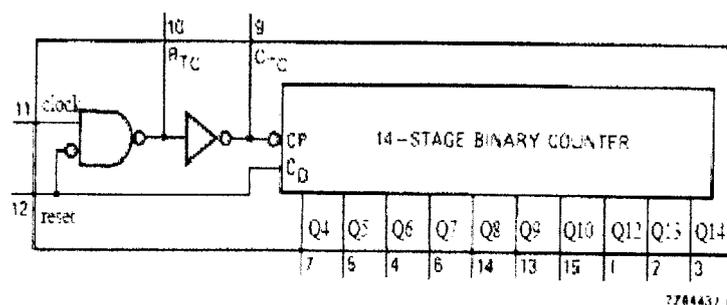
Gambar 2.7 Contoh pembuatan Runtun Gold dengan $[5,2]_s$ dan $[5,1]$

2.5. Pembagi Frekuensi

Pada pembagi frekuensi ini berfungsi sebagai pembagi frekuensi masukan. Maksudnya, dengan masukan frekuensi yang nilainya masih besar (dari oscilator) diharapkan diperoleh keluaran dengan frekuensi yang lebih kecil dari frekuensi masukan sehingga diperoleh frekuensi yang diinginkan. Pembagi frekuensi ini sudah banyak dijumpai pasaran. Salah satunya penggunaan pembagi frekuensi ini pada IC 4060. Pada jenis oscilator ini, terdapat tiga terminal oscilator (*Clock*, *Out 1*, *Out2*), sebuah *Reset* dan terdapat sepuluh keluaran (Q_4 sampai dengan Q_{10} dan Q_{12} sampai dengan Q_{14}). *Clock* (pin 11) berfungsi sebagai masukan clock dari osilator. Level tinggi berada pada *Reset* dan level Rendah berada pada Q_4 sampai dengan Q_{10} dan Q_{12} sampai dengan Q_{14} . *Supply* tegangan berada pada kisaran 3 V sampai dengan 18 V. Tabel kebenaran untuk IC 4060 ditunjukkan pada tabel 2.2 berikut :

Tabel 2.2. Tabel Kebenaran IC 4060

Clock	Reset	Keluaran
	L	Tidak ada perubahan
	L	Menuju ke keadaan selanjutnya
X (<i>don't care</i>)	H	Semua keluaran adalah Rendah



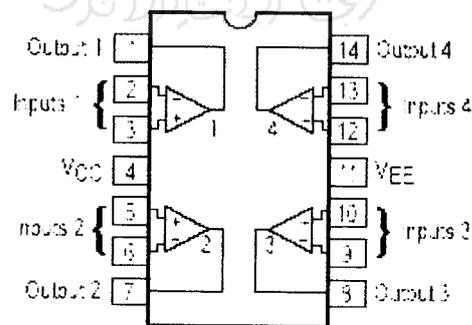
Gambar 2.8. Konfigurasi IC 4060

Tabel 2.3. Keterangan Pin IC 4060

Pin Nomor	Symbol	Nama
1, 2, 3	Q ₁₂ sampai Q ₁₄	<i>Couter Output</i>
4, 5, 6, 7, 14, 13, 15	Q ₄ sampai Q ₁₀	<i>Couter Output</i>
8	Gnd	<i>Ground (0 V)</i>
9	Out2	<i>External Capacitor</i>
10	Out 1	<i>External Resistor</i>
11	Clock	<i>Clock Input</i>
12	Reset	<i>Reset</i>
16	V _{dd}	Sumber tegangan

2.6. Penguat Operasional (*OP-AMP*)

Sebuah penapis aktif merupakan suatu rangkaian penapis yang tersusun atas resistor-resistor, kapasitor dan rangkaian penguat. Biasanya berupa penguat operasional. *Operasional Amplifier* biasa disingkat *Op-Amp*, merupakan *solid state* yang mampu untuk berbagai keperluan hanya dengan tambahan sedikit komponen *eksternal*. Adapun simbol rangkaian *Op-Amp* dan pin konektor TL074 dapat ditunjukkan pada Gambar 2.9 sebagai berikut :



Gambar 2.9. Pin Konektor TL074

Dari gambar diatas, dapat dilihat bahwa *Op-Amp* memiliki 2 masukan yaitu masukan non-inversi/masukan positif (+). Biasanya *Op-Amp* diberi catu daya poralitas ganda/bipolar dalam jangkauan ± 5 hingga ± 15 volt.

Seperti yang telah disebutkan sebelumnya bahwa *Op-amp* memiliki dua masukan. Perbedaan antara keduanya sebagai berikut :

- a) Jika sinyal melalui masukan *non-inverting* atau positif (+) maka keluarannya sefase (*in fase*) dengan masukannya. Jika masukannya positif begitu juga dengan keluarannya.
- b) Jika sinyal melalui masukan *inverting* atau negatif (-) maka keluarannya berbeda 180^0 (*out of phase by 180^0*) atau setengah siklus. Jika sinyal positif maka keluarannya menjadi negatif (dibalik).
Pada gambar 2.10 ditunjukkan Op-Amp dengan masukan *inverting* dan *non-inverting*.

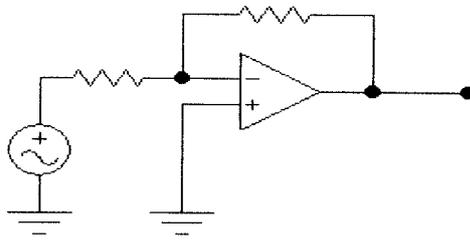


(a) *Op-Amp inverting* (b) *Op-Amp non- inverting*

Gambar 2.10. Jenis – jenis masukan pada Op-Amp

2.6.1 Penguat *Inverting*

Penguat *Inverting* dasar dengan tahanan masuk R_a dan tahanan umpan balik R_b . Terminal bukan pembalik (*inverting*) dibumikan. Tegangan masuk V_i dan keluar V_o . Rangkaian penguat *Inverting* ditunjukkan pada gambar 2.11 :



Gambar 2.11. Rangkaian penguat *inverting*

Persamaan yang berkaitan dengan Gambar 2.11 adalah :

$$V_o = -\frac{R_2}{R_1} V_i \quad (2.8)$$

Keterangan :

V_o = Tegangan Keluar

V_i = Tegangan Masuk

G = Penguatan tegangan

Penguatan tegangan (G) atau perbandingan tegangan keluaran terhadap tegangan masukan dapat dituliskan sebagai berikut :

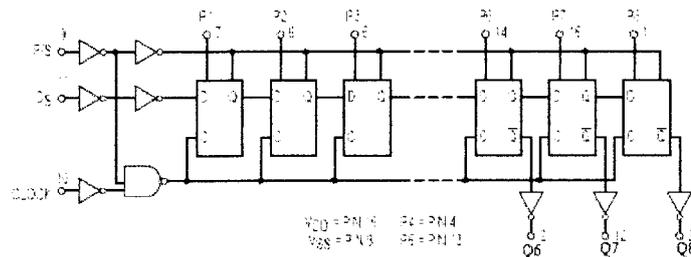
$$G = \frac{V_o}{V_i} = -\frac{R_2}{R_1} \quad (2.9)$$

Dengan demikian, penguatan tegangan bisa kurang dari 1, sama dengan 1 (*unity*) atau lebih dari 1.

2.7. Shift Register 8-bit

Masukan data yang berupa paralel 8 bit diubah kedalam bentuk seri. Pada perancangan ini digunakan IC 4014 sebagai *shift register*. IC 4014 adalah *Integrated Circuit* (IC) yang dibangun dalam *Metal Oxide Semiconductor Technology* tersedia

dalam bentuk DIP dan SOP *pack*. IC ini mempunyai 8 masukan paralel (P1 sampai P8), 1 masukan seri/DS (*serial in*), pengontrol masukan seri/paralel dan 3 keluaran (Q6, Q7, Q8). Pada IC ini, masukan dikontrol dengan *Parallel/Serial Input* dan *supply* tegangan berada pada kisaran 3 V sampai dengan 20 V



Gambar 2.12 Diagram logika IC 4014

Tabel 2.4. Keterangan Pin IC 4014

Pin Nomor	Simbol	Nama
7, 6, 5, 4, 13, 14, 15, 1	P1 sampai P8	Masukan paralel
11	<i>Serial in</i>	Masukan seri
9	<i>Parallel/Serial Control</i>	<i>Parallel/Serial Input Control</i>
10	<i>Clock</i>	Masukan <i>Clock</i>
2, 3, 12	Q6, Q7, Q8	<i>Buffered Outputs</i>
8	V _{SS}	Tegangan negatif
16	V _{DD}	Tegangan positif

Tabel 2.5. Tabel Kebenaran IC 4014

Clock	Serial Input(Ds)	Kontrol Paralel/serial	P – 1	P – n	Q ₁	Q _n
	X	1	0	0	0	0
	X	1	1	0	1	0
	X	1	0	1	0	1
	X	1	1	1	1	1
	0	0	X	X	0	Q _{n-1}
	1	0	X	X	1	Q _{n-1}
	X	X	X	X	Q ₁	Q _n

2.8 Flip-flop D

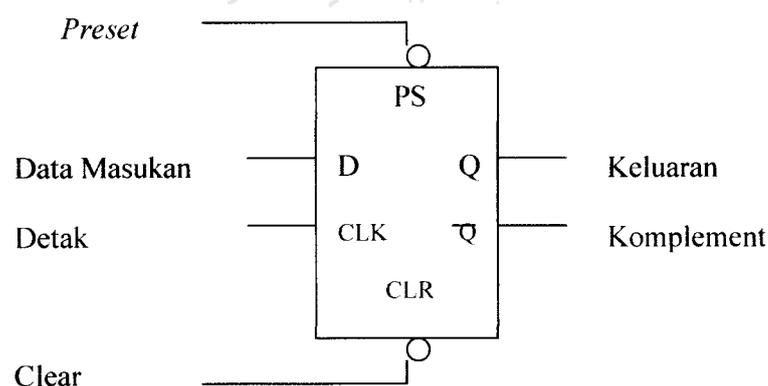
Multivibrator adalah suatu rangkaian *regeneratif* dengan dua buah piranti aktif yang dirancang sedemikian rupa sehingga salah satu piranti bersifat menghantarkan pada saat piranti lain terpacu. *Multivibrator* dapat menyimpan bilangan biner, mencacah pulsa, menyerempakkan operasi, operasi aritmatika serta melaksanakan fungsi-fungsi pokok lainnya dalam sistem digital.

Ada tiga jenis *multivibrator*, yaitu : *astabil multivibrator*, *monostabil multivibrator* dan *bistabil multivibrator*. Nama lain dari *multivibrator bistabil* adalah *flip-flop*, yaitu *multivibrator* yang keluarannya adalah suatu tegangan rendah atau tinggi, 0 atau 1. Keluaran ini tetap rendah atau tinggi, untuk mengubahnya harus didrive oleh suatu masukan yang disebut pemicu (*trigger*).

Flip-flop dapat digolongkan atas beberapa jenis antara lain : *S-R Flip-flop*, *Clocked S-R Flip-flop*, *Flip-flop T*, *Flip-flop D*, *Flip-flop JK*. Dalam hal ini hanya dibahas tentang *Flip-flop D*.

Flip-flop D hanya mempunyai satu masukan data (D) dan satu masukan detak (CLK). Keluaran dari tabel Q dan \bar{Q} . *Flip-flop D* sering disebut “flip-flop tunda”. Kata “tunda” menggambarkan apa yang terjadi pada data atau informasi pada masukan D. Data (0 atau 1) pada masukan D ditunda 1 pulsa detak dari pemasukan sampai keluaran Q.

Pada flip-flop komersial khusus terdapat tambahan dua masukan *extra* [PS(*Preset*) dan CLR (*Clear*)]. Masukan PS akan mengeset keluaran Q menjadi satu (1) bila dibuka oleh suatu logis 0. Masukan *clear* akan meng-*clear*-kan keluaran Q menjadi 0 bila dibuka dengan suatu logis 0. Masukan asinkron (PS dan CLR) akan menolak masukan *sinkron* (D dan CLK). Saat masukan asinkron tidak dibuka (PS=1 dan CLR= 1), flip-flop D dapat diset dan *direset* menggunakan masukan D dan CLK. Masukan D dan CLK beroperasi seperti pada *flip-flop D*. Simbol dan diagram logika IC 4014 ditunjukkan pada gambar 2.13.



Gambar 2.13. Simbol IC 7474

Tabel 2.6. Tabel Kebenaran D flip-flop dengan IC 7474

Metode Operasi	Masukan				Q	\overline{Q}
	<i>Asinkron</i>		<i>Sinkron</i>			
	PS	CLR	CLK	D		
<i>Asynchronous Set</i>	0	1	X	X	1	0
<i>Asynchronous Resey</i>	1	0	X	X	0	1
<i>Prohibited</i>	0	0	X	X	1	1
<i>Set</i>	1	1	↑	1	1	0
<i>Reset</i>	1	1	↑	0	0	1

2.9 Multiplexer Analog

Fungsi multiplexer memilih 1 dari N masukan data dan meneruskan data yang dipilih itu ke suatu informasi tunggal. Jenis – jenis multiplexer antara lain :

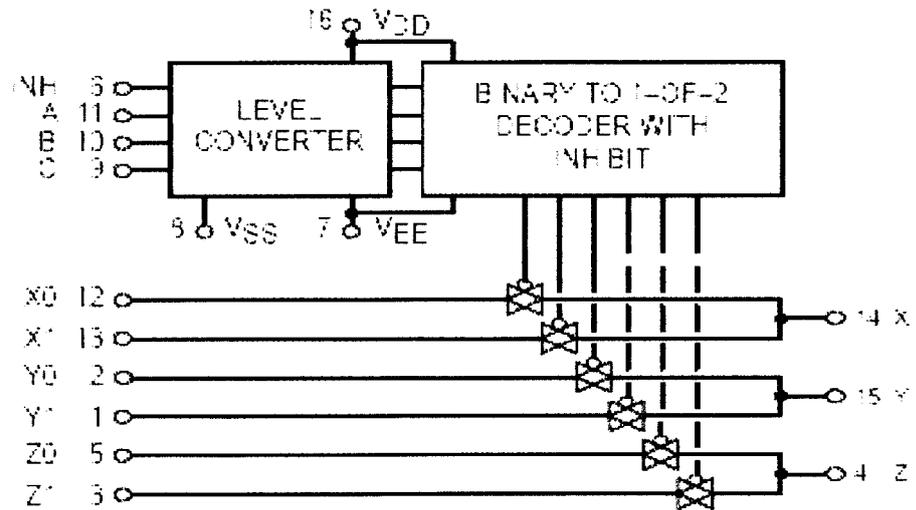
- Multiplexer 8 ke 1 saluran (IC 74151 dan IC 4051).
- Multiplexer 4 ke 1 saluran (IC 74153 dan IC 4052).
- Multiplexer 2 ke 1 saluran (IC 74157 dan IC 4053).

Dalam hal ini dibahas tentang multiplexer 2 ke 1 menggunakan IC 4053. IC 4053 adalah IC multiplexer/demultiplexer *analog* 2 kanal bertiga yang terdiri atas tiga *select* dari dua saklar dwiarah yang masing-masing dikoneksikan kepada sebuah masukan (X_0 X_1 , Y_0 Y_1 , Z_0 Z_1) dan sisi yang lain dikoneksikan kepada sebuah keluaran (X Y Z). Pada gambar 2.13 ditunjukkan diagram fungsional dari IC 4053.

Dengan *enable* rendah (0) maka salah satu saklar terpilih (impedansi rendah, status ON) oleh masukan *address* (A, B, (C)). Dapat dilihat pada tabel 2.7 Tabel Kebenaran. Sedangkan dengan *enable* tinggi maka semua saklar berada dalam impedansi tinggi, status *off*. Tidak tergantung pada masukan *address* (A, B, (C)).
Supply tegangan berkisar antara 3 Vdc sampai dengan 18 Vdc.

Tabel 2.7. Tabel Kebenaran IC 4053B

Kontrol Masukan				Saklar On (Impedansi Rendah)		
<i>INHIBIT</i>	<i>Select</i>			4053B		
	C	B	A			
0	0	0	0	Z0	Y0	X0
0	0	0	1	Z0	Y0	X1
0	0	1	0	Z0	Y1	X0
0	0	1	1	Z0	Y1	X1
0	1	0	0	Z1	Y0	X0
0	1	0	1	Z1	Y0	X1
0	1	1	0	Z1	Y1	X0
0	1	1	1	Z1	Y1	X1
1	X	X	X	<i>None</i>	<i>None</i>	<i>None</i>



Gambar 2.14. Diagram fungsional untuk IC 4053

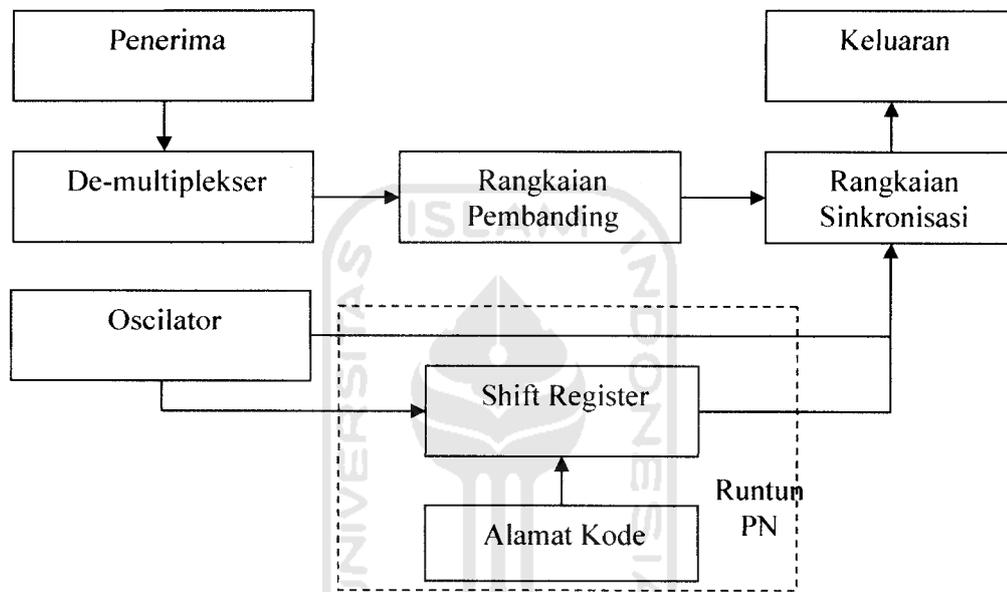


BAB III

PERANCANGAN SISTEM

3.1 Penerima

Secara umum diagram blok bagian penerima spektrum tersebar runtun langsung seperti gambar 3.1.



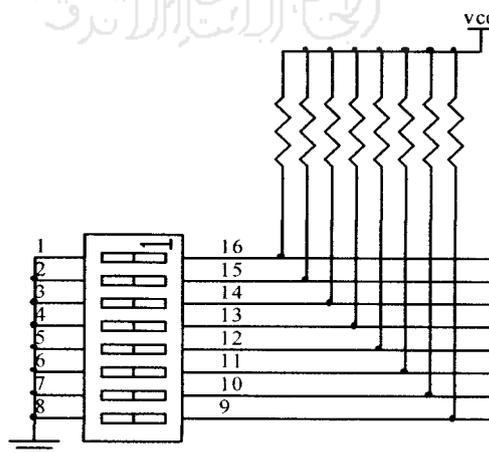
Gambar 3.1 Untai penerima

Masukan penerima diambil dari keluaran pemancar DSSS yang dihubungkan secara langsung. Runtun data serial delapan bit ini kemudian dikalikan dengan runtun derau semu. Runtun derau semu yang digunakan berupa Runtun Gold dengan panjang 63 yang dibentuk dengan menjumlahkan dua Runtun PN1 dan Runtun PN2, dengan pesat 17,318 kbps. Sedangkan pesat bit 4,329 Kbps. Perkalian data biner dengan runtun PN cukup dilakukan dengan operasi logika EXOR. Sinyal pembawa

yang dibutuhkan untuk mengirimkan sinyal informasi dihasilkan oleh suatu penyedia sinyal pembawa yang akan menghasilkan sinyal termodulasi baik sinyal $\cos \omega_0 t$ maupun $\cos (\omega_0 t + \theta)$. Pada bagian akhir untai pengirim adalah modulator yang akan menyebarkan sinyal dan menghasilkan keluaran sinyal spektrum tersebar $S(t)$.

3.2 Rangkaian *Dual Inline Package (DIP) Switch*

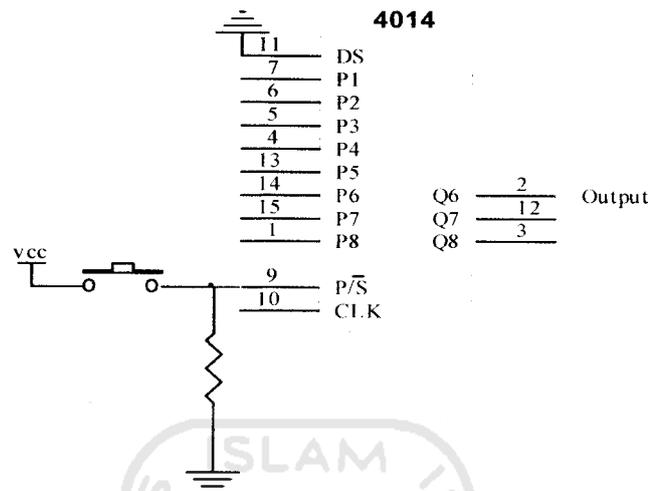
Pada sumber data *Dual Inline Package (DIP) Switch* 8-bit dihasilkan runtun data digital NRZ (*Non Return to Zero*) serial delapan bit. Pada *DIP-switch* 8-bit tersebut, level rendah ("0") dihubungkan dengan *ground*. Sedangkan pada level tinggi ("1") sebelum dimasukkan ke IC 4014, kaki – kaki keluaran dari *DIP-switch* dihubungkan dengan hambatan dan sumber tegangan. Pada rangkaian ini menggunakan hambatan sebesar $4K7\Omega$. Hambatan disini berfungsi sebagai pembatas saat saklar *DIP-switch* ON, maka *ground* tidak langsung terhubung ke sumber tegangan (V_{cc}). Rangkaian *DIP-Switch* yang digunakan ditunjukkan pada Gambar 3.2 berikut :



Gambar 3.2 Rangkaian *DIP-Switch*

3.3 Register Geser Dengan Masukan Paralel ke Keluaran Seri

Register geser dengan masukan paralel ke keluaran seri pada IC HCF4014BE yang digunakan ditunjukkan pada Gambar 3.3 berikut:



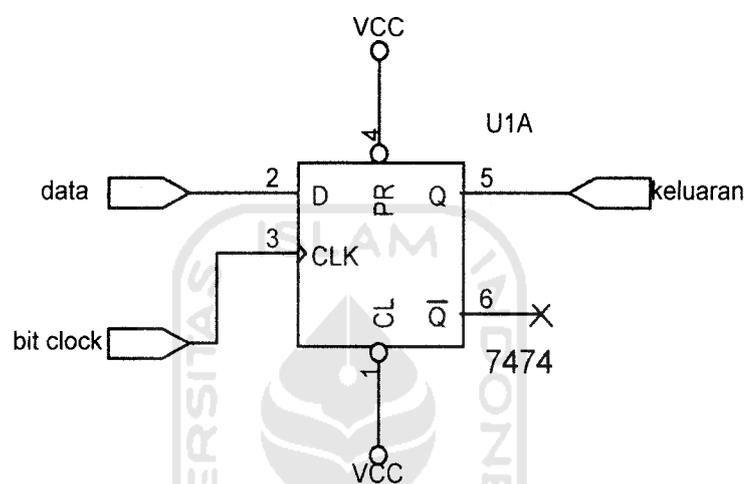
Gambar 3.3 Register geser paralel ke seri dengan masukan data 8-bit.

Pada register geser paralel ke seri, masukan data 8-bit peroleh dari sumber data yaitu dengan menggunakan *DIP switch* 8-bit. Data yang masih berupa paralel tersebut diserikan dengan register geser IC 4014 dengan masukan paralel dan keluaran seri. Dan pesat datanya dapat diatur sesuai detak masukannya dari pembagi frekuensi. Dalam hal ini, detak masukannya yang dimasukkan pada *clock* IC 4014 sebesar 4,329 KHz. Sedangkan pada kaki 9 IC 4014 (*Parallel/Serial Control*) dengan menambahkan *switch* dapat digunakan untuk mereset data masukkan agar diperoleh keluaran data yang baru. Keluaran dari IC 4014 (pada kaki 3) berupa runtun data 8-bit yang sudah dalam bentuk diseri untuk selanjutnya menjadi masukan pada penyerempak. Dan untuk memudahkan dalam pengamatan (agar

keluaran IC 4014 dapat diamati pada *oscilloscope*) maka keluaran dari IC 4014 (pada kaki 3) dihubungkan ke serial (kaki 11 pada IC 4014).

3.4 Penyerempak Data

Pada bagian penyerempak ini digunakan IC 74LS74A dan ditunjukkan pada Gambar 3.4 berikut:



Gambar 3.4 Penyerempak data.

Pada rangkaian ini, masukan detak yang digunakan sebesar 17.318 Hz (Q_8). Penyerempak ini berfungsi untuk menyerempakkan / mensinkronkan antara masukan data dari bagian *register* geser dengan detak yang dihasilkan oleh pembagi frekuensi. Saat masukan data '1' maka keluaran pada penyerempak juga '1'. Begitu juga dengan saat masukan data '0' maka keluaran pada penyerempak juga '0'. Sehingga diharapkan pada multiplekser analog, keluaran data yang sudah diserempakkan bisa sinkron dengan isyarat termodulasi.

3.5 Pembagi Frekuensi

Frekuensi yang dikeluarkan oleh osilator dimasukkan pada *clock* (kaki 11) sehingga dari frekuensi tersebut diperoleh keluaran frekuensi-frekuensi yang baru yang sesuai output dari pembagi frekuensi tersebut. Sedangkan kaki 10 (R_{TC}) berfungsi sebagai masukan resistor dari osilator. Dan kaki 9 (C_{TC}) berfungsi sebagai masukan kapasitor dari osilator. Dan kaki 9 ini biasa digunakan untuk osilator yang menggunakan osilator jenis RC. Sedangkan pada jenis osilator kristal kaki 9 ini tidak digunakan. IC 4060 bisa dibangkitkan dengan tegangan masukan (V_{DD}) sebesar +5, +10 dan +15 volt. Dan pada perancangan ini, yang digunakan adalah yang +5 Volt.

Keluaran yang dihasilkan oleh IC 4060 besarnya frekuensi berbeda – beda. Hal ini karena didasarkan pada Q yang berbeda-beda pada keluaran IC 4060. Untuk mudahnya, dapat diperjelas pada persamaan (3.1) berikut :

$$f_0 \text{ pada } Q_N = \frac{\text{frekuensi pada osilator kristal}}{2^N} \quad (3.1)$$

Keterangan :

Dimana nilai N pada 2^N adalah N angka pada Q_N . Besar nilai N dimulai dari 4 sampai 10 dan 12 sampai 14. Dan ini disesuaikan dengan kaki-kaki keluaran pada IC 4060. Jadi, misalnya yang diamati pada Q_{10} (kaki 15) maka nilai N-nya pada persamaan adalah 10. Berikut adalah besar nilai frekuensi yang dikeluarkan pada IC 4060 (dari Q_4 sampai Q_{10} dan Q_{12} sampai Q_{14})

- $f_0 \text{ pada } Q_4 \text{ (kaki 7) } = \frac{\text{frekuensi pada osilator kristal}}{2^4}$

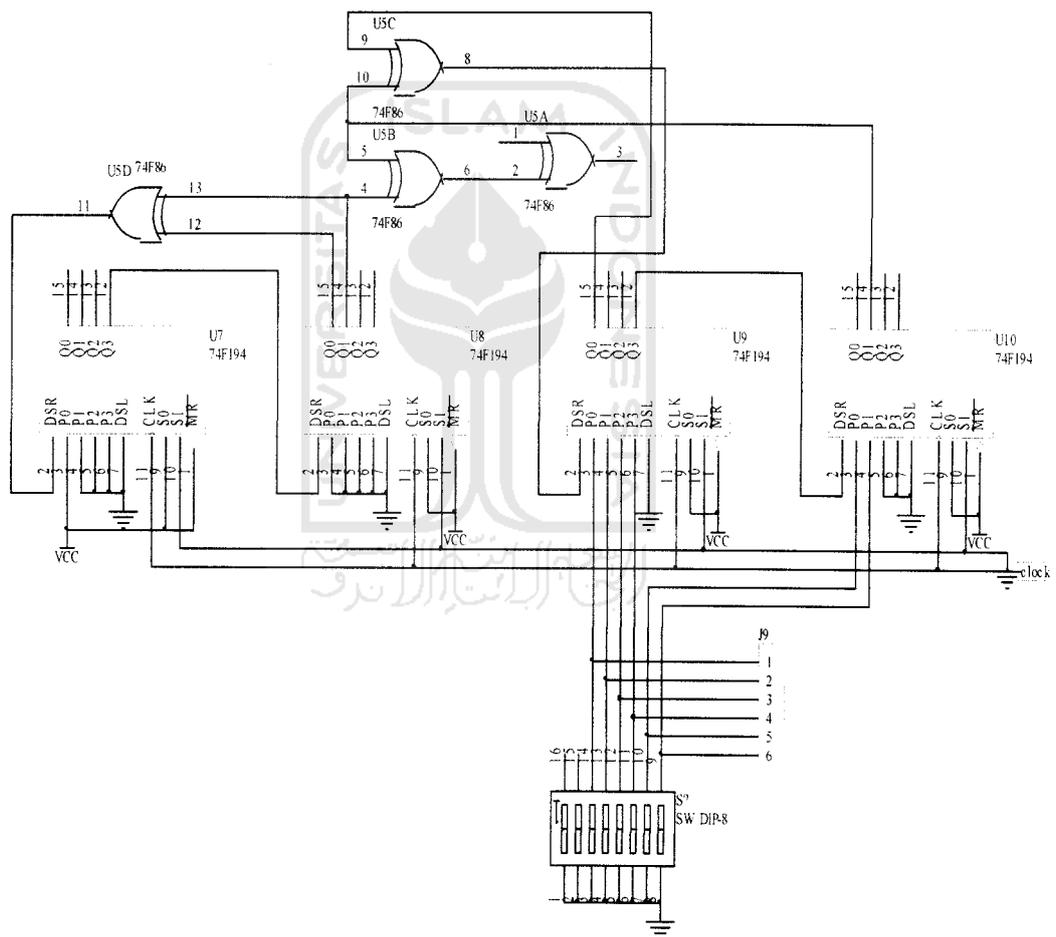
$$= \frac{4,43 \cdot 10^6 \text{ Hz}}{2^4} = 277,100 \text{ KHz.}$$

- f_0 pada Q_5 (kaki 5) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^5} = 138,550 \text{ KHz.}$
- f_0 pada Q_6 (kaki 4) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^6} = 69,275 \text{ KHz.}$
- f_0 pada Q_7 (kaki 6) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^7} = 34,637 \text{ KHz.}$
- f_0 pada Q_8 (kaki 14) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^8} = 17,318 \text{ KHz.}$
- f_0 pada Q_9 (kaki 13) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^9} = 8,659 \text{ KHz.}$
- f_0 pada Q_{10} (kaki 15) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^{10}} = 4,329 \text{ KHz.}$
- f_0 pada Q_{12} (kaki 1) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^{12}} = 1,082 \text{ KHz.}$
- f_0 pada Q_{13} (kaki 2) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^{13}} = 541 \text{ Hz.}$
- f_0 pada Q_{14} (kaki 3) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^{14}} = 270 \text{ Hz.}$

Sedangkan dalam rangkaian, f_0 yang digunakan adalah pada Q_8 , Q_9 dan Q_{10} yaitu 17,318 KHz, 8,659 KHz dan 4,329 KHz. Hal ini dikarenakan untuk mempermudah dalam pengamatan pada *oscilloscope* dengan frekuensi yang tidak terlalu besar itu. Q_8 digunakan untuk masukan pada unit penyerempak, Q_9 digunakan untuk masukan untai pembentuk isyarat termodulasi dan Q_{10} digunakan sebagai pembangkit detak unit paralel ke seri.

3.6 Runtun PN

Pembangkit runtun berjumlah enam buah, dengan memanfaatkan Runtun Gold. Runtun Gold terbentuk dari dua register geser, dalam hal ini menggunakan register geser (6,5) dan register geser (6,1). Masing-masing register geser dibentuk dari dua buah IC register geser 74194 yang dirangkai secara seri menjadi enam gerbang, untuk menghasilkan 63 runtun dalam satu siklus. Untuk masukan register geser (6,5) dibuat tetap 100 000.

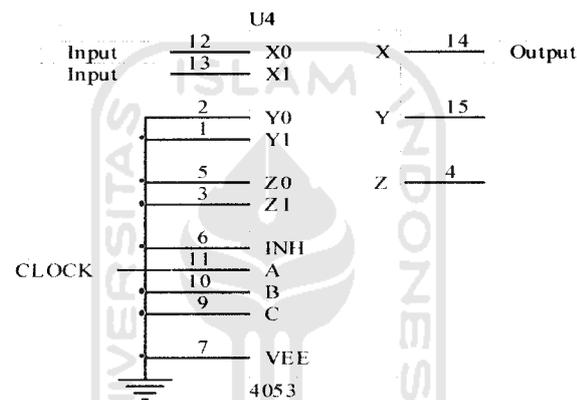


Gambar 3.5 Register geser

Pada gambar 3.5 memperlihatkan rangkaian register geser (6,5) dan (6,1) yang mempunyai enam register dan umpan balik masukan ditempatkan pada register kelima. Panjang runtun maksimal 63 didapatkan dari persamaan 2.7. Hal ini merupakan syarat dari pembentukan Runtun Gold.. Untuk pembangkitan runtun ini dipakai saklar untuk mendapatkan kode awal yang diinginkan pengirim.

3.7 Multiplekser Analog

Multiplekser analog yang digunakan ditunjukkan pada Gambar 3.6 berikut:



Gambar 3.6 Multiplekser *analog*

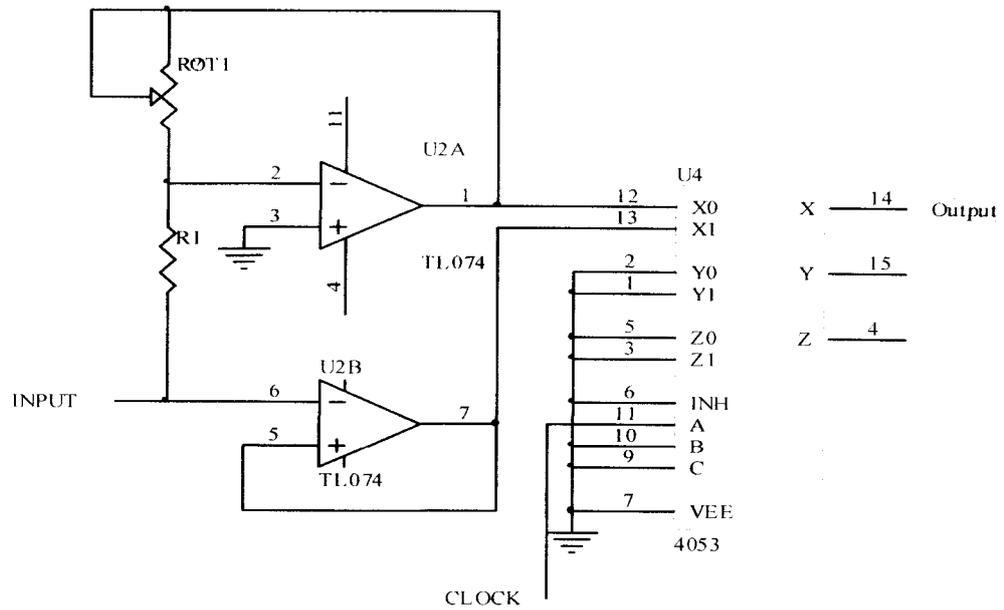
Keluaran sinyal sinusoidal (input 1 dan input 2) dari pembentuk isyarat termodulasi yang sudah mempunyai beda fase 180° akan menjadi masukan multiplekser *analog*. X_0 (kaki 12) diberi masukan sinyal 1 dan X_1 (kaki 13) diberi masukan sinyal 2. Sedangkan runtun data 8-bit dimasukkan pada pin A (kaki 11). Karena pada Y_0 , Y_1 , Z_0 , Z_1 , B, C dan EN tidak diberi masukan maka pin – pin tersebut di-*ground*-kan. Karena hanya digunakan masukan pada X_0 dan X_1 maka keluaran multiplekser analog yang digunakan hanya pada pin X.

Multiplekser analog bekerja saat masukan data pada pin A berlogika rendah '0' maka sinyal 1 yang terhubung dengan X_0 akan aktif dan akan menjadi keluaran multiplekser analog. Begitu juga sebaliknya saat masukan data pada pin A berlogika tinggi '1' maka sinyal 2 yang terhubung dengan X_1 akan aktif akan menjadi keluaran multiplekser analog. Jadi multiplekser analog bekerja sesuai dengan masukan data pada pin A yang dihubungkan dengan masukan isyarat sinyal yang termodulasi sehingga diperoleh keluaran sinyal dengan beda fase 180^0 .

3.8 Demultiplekser

Pertama kali dilakukan di penerima adalah memisahkan sinyal pesan dari sinyal pembawa yang menumpanginya. Proses ini juga dikenal dengan pengumpulan kembali (*despreading*). Untuk rancangan perangkat-keras ini dilakukan hanya menggunakan multiplekser analog dua jalur masukan. Prinsip kerjanya sama dengan di pengirim. Dimana masukan X_0 dan X_1 pada IC 4053 merupakan sinyal terkirim yang mempunyai polaritasnya dibuat terbalik dan tak-terbalik. Untuk mengendalikan IC multiplekser analog ini digunakanlah sinyal pembawa pesan yang telah dirubah menjadi gelombang kotak. Rangkaian demodulator tersaji pada Gambar 3.7.

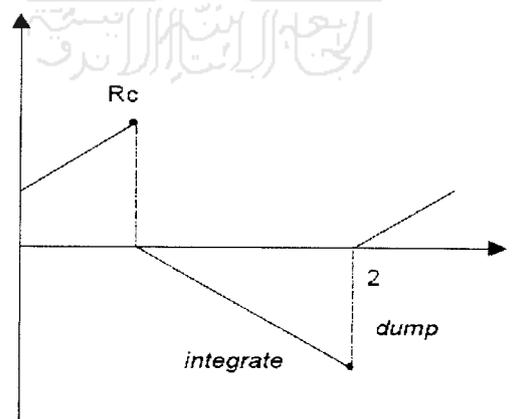
Sinyal tersebar $S(r)$ menjadi masukan bagi multiplekser analog ini. Kebalikan dari sinyal $S(r)$ ini digunakan sebagai masukan lain dari IC 4053. Agar mendapatkan sinyal yang mempunyai beda fase 180^0 ini digunakan penguat membalik dari sebuah penguat operasional.



Gambar 3.7 Rangkaian demodulator

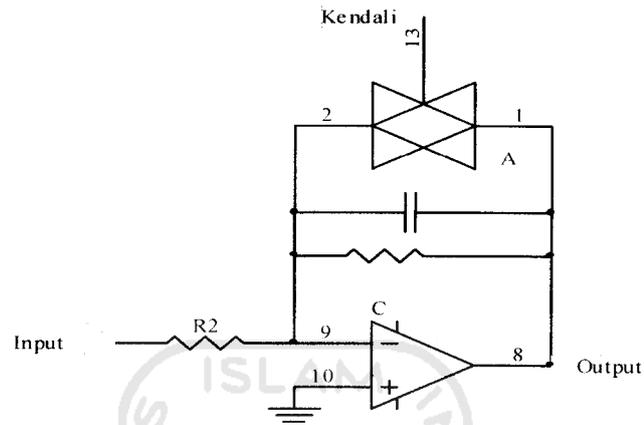
3.9 Pengintegral dan Pembuang

Rangkaian pengintegral dan pembuang (*integrate and dump*) berguna untuk mengintegalkan isyarat hasil demultipleks di penerima. Rangkaian ini terdiri dari sebuah pengintegral (*integrator*) dan saklar digital terkendali.



Gambar 3.8 Pengintegralan

Periode pengintegralan ditentukan oleh pulsa reset integrator yang diperoleh dari sumber detak, yang akan memicu saklar digital untuk mereset integrator tepat pada awal periode bit. Saklar digital yang digunakan adalah IC 4016 yang mempunyai waktu pensaklaran kecil sehingga mampu merespon pulsa reset.



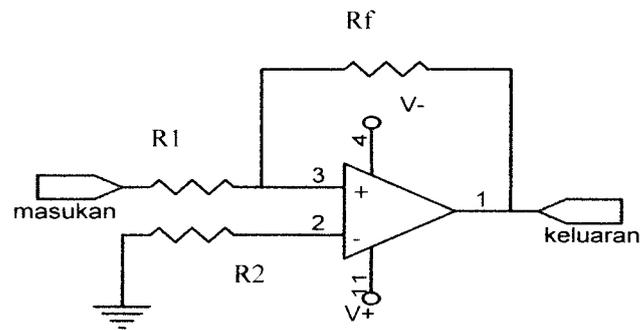
Gambar 3.9 Rangkaian pengintegral

3.10 Pembanding

Pembanding ini digunakan untuk memperbaiki bentuk isyarat keluaran pengintegral yang mempunyai amplitude kecil (tidak sempurna). Rangkaian yang digunakan merupakan pemacu Schmitt tak membalik yang membandingkan keluaran integrator terhadap dua tegangan ambang yang besarnya ditentukan oleh persamaan

$$V_{UT} = \frac{R1}{R1+R_f}(V_+) \quad (3.2)$$

$$V_{LT} = \frac{R1}{R1+R_f}(V_-) \quad (3.3)$$

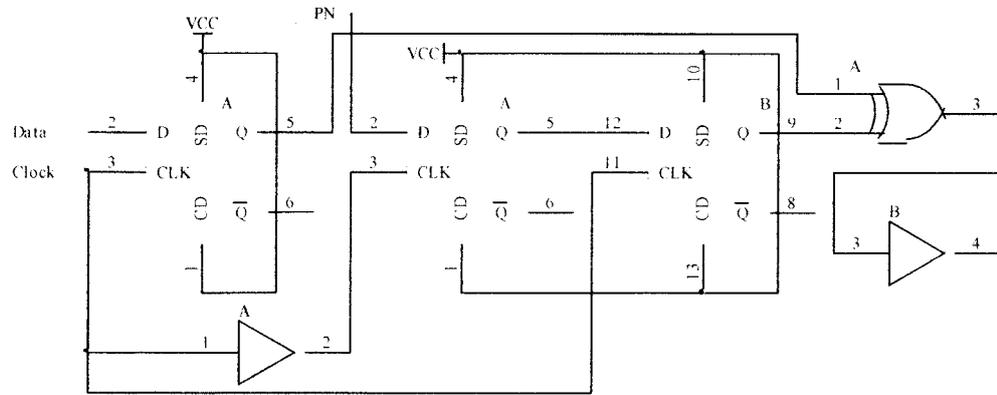


Gambar 3.10 Pembanding tegangan

3.11 Rangkaian Sinkronisasi

Rangkaian ini terdiri dari tiga flip-flop D, gerbang XOR dan NOT. Langkah pertama yang dilakukan untuk mendapatkan data terpulihkan yaitu dengan menyerampakkan data dengan flip-flop D, dengan masukan dari keluaran pembanding tegangan dan masukan detak dari sumber detak sebesar dua kali detak Runtun PN. Penyerempakan juga dilakukan untuk runtun PN dengan masukan detak flip-flop D merupakan kebalikan dari masukan detak pada penyerempak keluaran pembanding tegangan.

Hasil penyerempakan keluaran pembanding dan Runtun PN penerima kemudian dikalikan dengan gerbang logika XOR, maka keluaran isyarat dari gerbang logika XOR merupakan kebalikan dari data terkirim dari sumber data. Untuk mendapatkan hasil sama dengan data terkirim maka isyarat perlu dibalik dengan menggunakan gerbang logika NOT.



Gambar 3.11 Rangkaian sinkronisasi



BAB IV

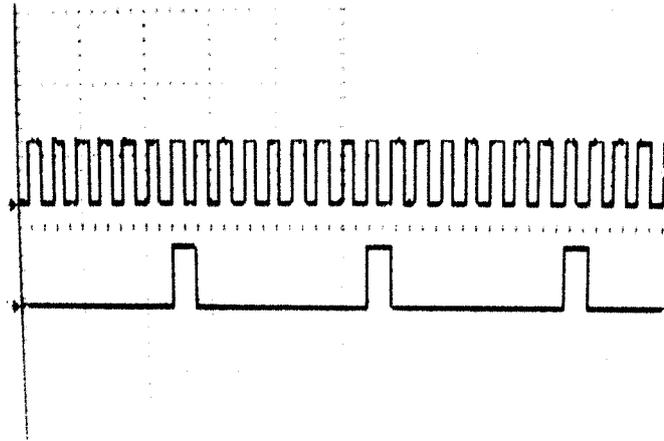
ANALISA DAN PEMBAHASAN

Pengamatan sinyal pada rangkaian dilakukan pada titik unit pembentuk isyarat termodulasi (*bandpass filter* dan pembalik fase), *shift register 8-bit*, runtun *PN*, dan multiplekser *analog*. Tujuan dari pengujian alat ini untuk mengetahui bagaimana sistem kerja dari rangkaian yang dibuat apakah sudah sesuai dengan hasil perancangan atau belum. Pada pengujian alat ini dilakukan dengan menggunakan alat bantu *oscilloscope*. Setelah dilakukan pengujian dan pengamatan, diperoleh beberapa data sebagai berikut:

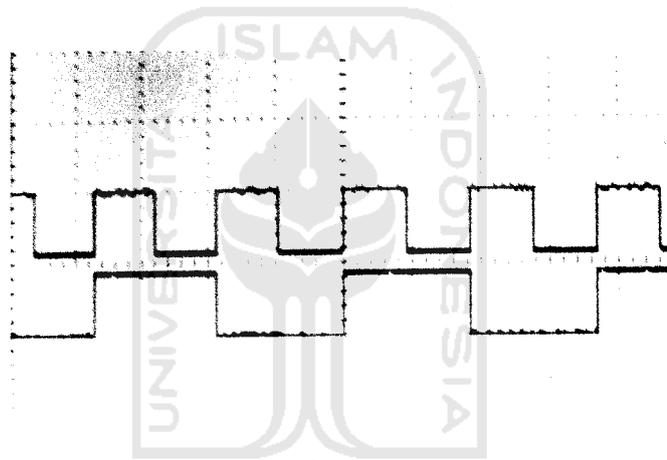
4.1 Sumber data *Shift Register 8-Bit*

Tujuan dari pengujian *shift register 8-bit* adalah untuk mengetahui bentuk gelombang yang dihasilkan telah sesuai dengan masukan data yang telah diberikan atau belum. Runtun data digital yang akan dimodulasikan $d(t)$, dibangkitkan oleh sumber data yang berasal dari dip switch dimana salah satu kakinya dihubungkan ke ground dan kaki satunya ke vcc melalui tahanan sebesar 4K7. Sumber data ini mampu membangkitkan data serial delapan bit berulang. Aras tegangan yang dihasilkan adalah +5 volt untuk logika 1, dan 0 volt untuk logika 0

Pengujian ini, menggunakan masukan *bit rate (fb)* sebesar 1,111 KHz. Hasil pengujian *shift register 8-bit* saat diberi masukan data 10001000 ditunjukkan pada gambar 4.1 dan 10101010 ditunjukkan pada gambar 4.2.



Gambar 4.1 Sinyal keluaran pada *shift register 8-bit* saat diberi masukan data 10001000.



Gambar 4.2 Sinyal keluaran pada *shift register 8-bit* saat diberi masukan data 10101010.

Pada gambar diatas ditunjukkan bahwa saat biner satu ditunjukkan dengan level tinggi . Sedangkan saat biner 0 ditunjukkan saat level rendah. Dalam hal ini berarti *shift register 8-bit* telah bekerja dengan baik.

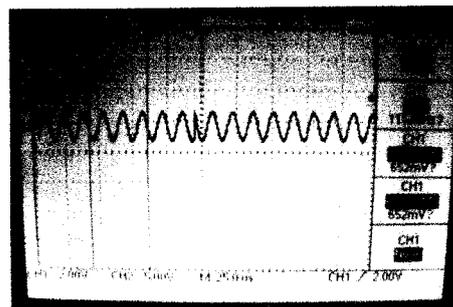
4.2 Penerima

Pengujian ini, menggunakan *shift register 8-bit* saat diberi masukan data 10101010 yang ditunjukkan pada gambar 4.2.

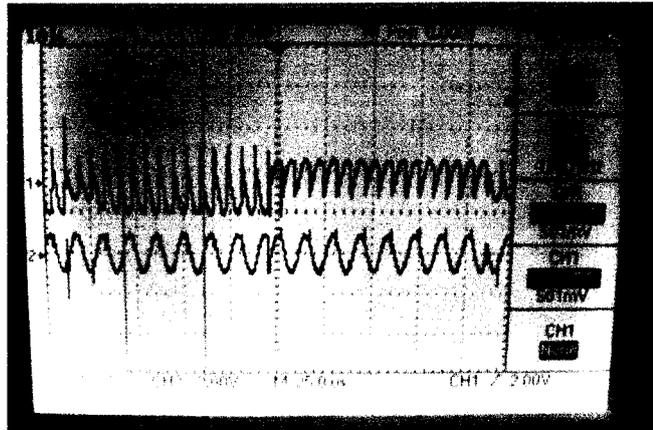
Untuk mendapatkan sinyal data terpulihkan pertama yang dilakukan pertama kali adalah memisahkan sinyal data dengan sinyal yang ditumpanginya. Pada bagian demultiplekser ini menggunakan IC CD4053 yang merupakan multiplekser/demultiplekser analog. Sinyal yang diterima dimasukkan ke demultiplekser dengan polaritas terbalik dan tak-terbalik, sedangkan untuk pengendali agar sinyal data terpisah dengan menggunakan frekuensi yang sama dengan frekuensi pembawa di pengirim, namun mempunyai bentuk gelombang kotak. Hal ini disebabkan IC 4053 menurut uji coba pada perangkat-keras ini masukan kendali harus berbentuk kotak.

4.2.1 Demultiplekser Analog

Proses pengumpulan kembali sinyal tersebar $S(r)$ dimulai dengan memisahkan sinyal informasi yang diterima dengan sinyal pembawa. Proses ini cukup menggunakan IC CD4053. pada gambar 4.3 ditunjukkan masukan dari penerima sedangkan pada gambar 4.4 merupakan keluaran dari demultiplekser.



Gambar 4.3 Sinyal tersebar

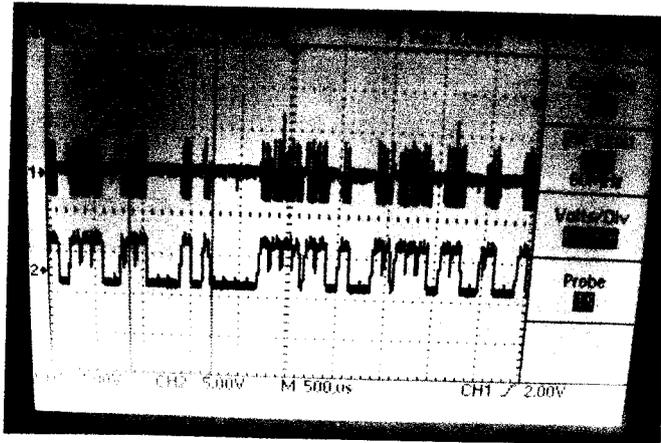


Gambar 4.4 Keluaran IC 4053

Pada Gambar 4.4 terlihat sinyal keluaran dari demultiplekser analog masih berupa sinyal yang masih tidak beraturan, untuk mendapatkan sinyal yang diinginkan, maka sinyal ini diintegrasikan dengan *integrator*.

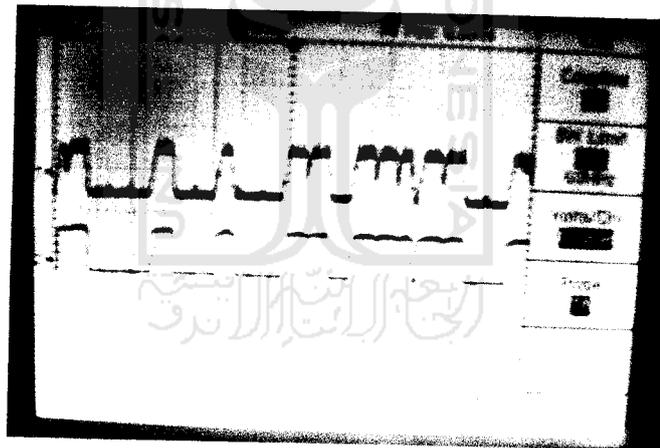
4.2.2 Pengintegralan dan Pembuang

Rangkaian *integrate and dump* ini berfungsi untuk mengumpulkan energi pada tiap bit. Pengintegralan bekerja pada tiap bit sesuai pulsa reset *integrator*. Bentuk keluaran pengintegral dapat dilihat pada Gambar 4.5. Tegangan keluaran *integrator* mempunyai polaritas terbalik dari sinyal masukannya. Ketika masukan pulsa *integrator* naik di awal periode bit, *capasitor* akan mengalami pengosongan oleh saklar digital, yang menyebabkan pulsa langsung turun menuju 0 volt. Proses integrasi terjadi selama satu bit. Pada akhir periode itu kembali terjadi pengosongan oleh saklar digital sehingga pulsa kembali ke 0 volt.



Gambar 4.5 Masukan integrator dan keluaran integrator

Untuk mendapatkan sinyal dengan bentuk kotak agar dapat dilakukan proses sinkronisasi maka digunakan sebuah pembanding tegangan. Hasilnya seperti pada Gambar 4.6. Selanjutnya dapat dilakukan proses sinkronisasi.

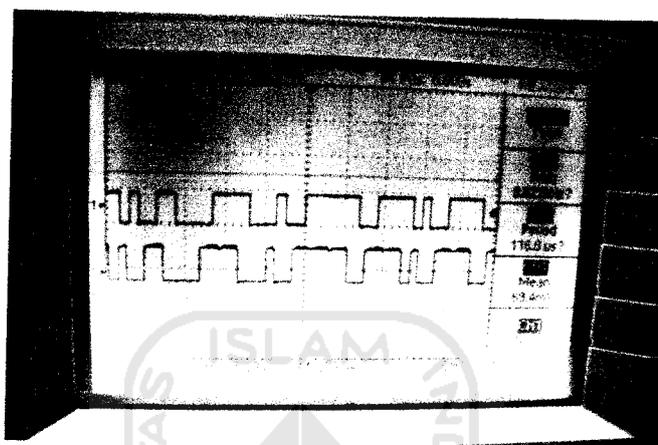


Gambar 4.6 Keluaran sinyal integral dan pembanding tegangan

4.2.3 Rangkaian Sinkronisasi

Pada rangkaian ini, sinyal informasi yang dihasilkan dari pengintegralan yang telah diperbaiki bentuk sinyalnya diserempakkan dengan sinyal detak yang

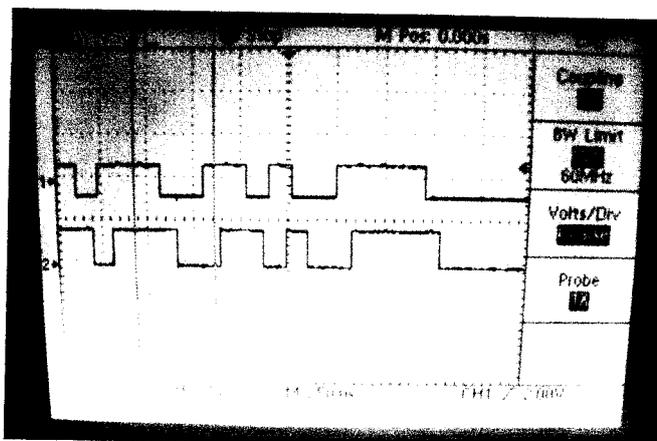
besarnya dua kali dari sinyal detak untuk runtun PN, hal ini untuk mendapatkan tunda waktu yang diinginkan. Proses ini dilakukan dengan menyisipkan sebuah Flip-flop D dan sinyal yang didapatkan terlihat pada Gambar 4.7.



Gambar 4.7 Tunda waktu pembanding tegangan

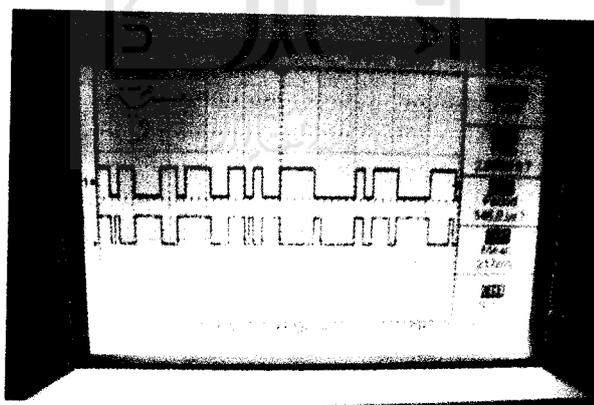
Pada Gambar 4.7 terlihat sinyal keluaran dari flip-flop D mempunyai tunda waktu dari sinyal masukannya.

Untuk mendapatkan Runtun PN yang sinkron dengan sinyal informasi rx_b yang diterima, maka Runtun PN mengalami penundaan dengan menggunakan Flip-flop D. Hasil yang didapatkan seperti pada Gambar 4.8



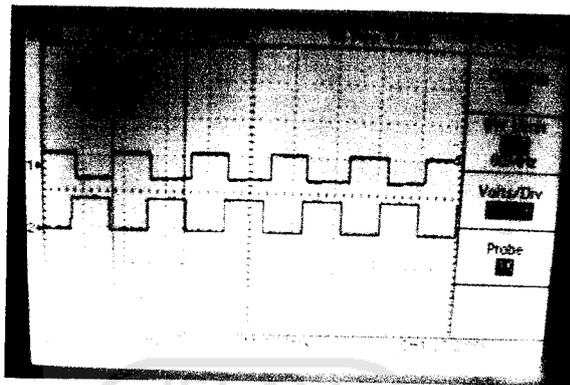
Gambar 4.8 Tunda waktu runtun PN dan keluaran Flip-flop D

Data terpulihkan didapat dari perkalian antara Runtun PN di penerima, yang mempunyai kode yang sama dengan kode Runtun PN pengirim dengan sinyal informasi rx_b . Perkalian ini menggunakan gerbang logika EXOR. Gambar 4.9 memperlihatkan perkalian tersebut. Dari gambar tersebut terlihat bahwa perkalian menghasilkan sinyal data terpulihkan $d(r)$.

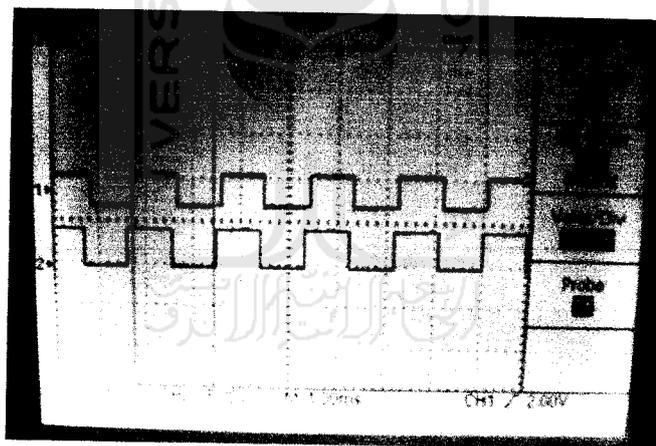


Gambar 4.9 Runtun PN dan sinyal rx_b sebelum masuk EXOR

Perbandingan data yang terkirim $d(t)$ dengan data terpulihkan $d(r)$ terlihat pada gambar 4.10. Terlihat bahwa data yang diterima mempunyai tunda waktu dari data yang dikirim hampir mendekati satu bit.



Gambar 4.10 Perbandingan data terkirim dengan data terpulihkan sebelum melalui gerbang pembalik



Gambar 4.11 Perbandingan data terkirim dengan data terpulihkan

Dari hasil pengamatan dapat diambil beberapa kesimpulan yaitu keluaran data dari penerima dengan data dari pemancar memerlukan tunda waktu, hal ini disebabkan antara pemancar dan penerima memerlukan waktu untuk konversi.

BAB V

PENUTUP

5.1 Kesimpulan

Berdasarkan hasil dari perancangan, pengujian dan analisa, maka dapat diambil kesimpulan sebagai berikut :

1. Pembuatan alat pengirim dengan menggunakan spektrum tersebar runtun langsung (DSSS) telah berhasil dibuat dengan baik, hal ini dapat dilihat dari hasil keluaran yang telah sesuai dengan teori. Model perangkat-keras spektrum tersebar runtun langsung yang telah dapat mendemonstrasikan pengiriman data digital dengan modulasi BPSK berfungsi baik sesuai teori, dengan menggunakan komponen yang tersedia di pasaran.
2. Model perangkat-keras ini memiliki spesifikasi runtun Gold, penyedia isyarat pembawa, dan multiplekser analog pada untai pengirim. Pada untai penerima menggunakan demultiplekser analog, *integrator*, dan flip-flop untuk rangkaian sinkronisasi.
3. Unjuk kerja model perangkat-keras yang dikembangkan memperlihatkan adanya tunda waktu data terpulihkan di penerima.
4. Data hasil keluaran pada shift register 8 bit telah sesuai dengan yang diharapkan yaitu pada saat diberi nilai bit 1 maka digambarkan dalam kondisi level tinggi, sedangkan pada saat nilai bit 0 maka digambarkan dalam kondisi level rendah

5. Hasil keluaran dari BFSK dengan masukan 8 bit sudah sesuai dengan apa yang diharapkan.
6. Penyebab dari faktor kesalahan yang ada disebabkan karena kalibrasi alat ukur yang belum tentu tepat, pengamatan yang kurang sempurna, karakteristik komponen yang belum tentu sesuai dengan yang tertulis.

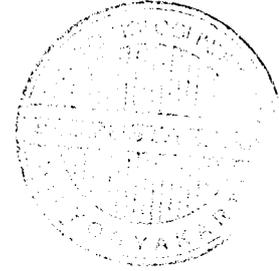
5.2 Saran

1. Frekuensi kerja dan pesat bit disesuaikan dengan standar yang berlaku sehingga dapat diterapkan dalam dunia nyata.
2. Aspek penyerempakan atau sinkronisasi lebih diutamakan untuk ditingkatkan dan dikembangkan menjadi lebih baik.



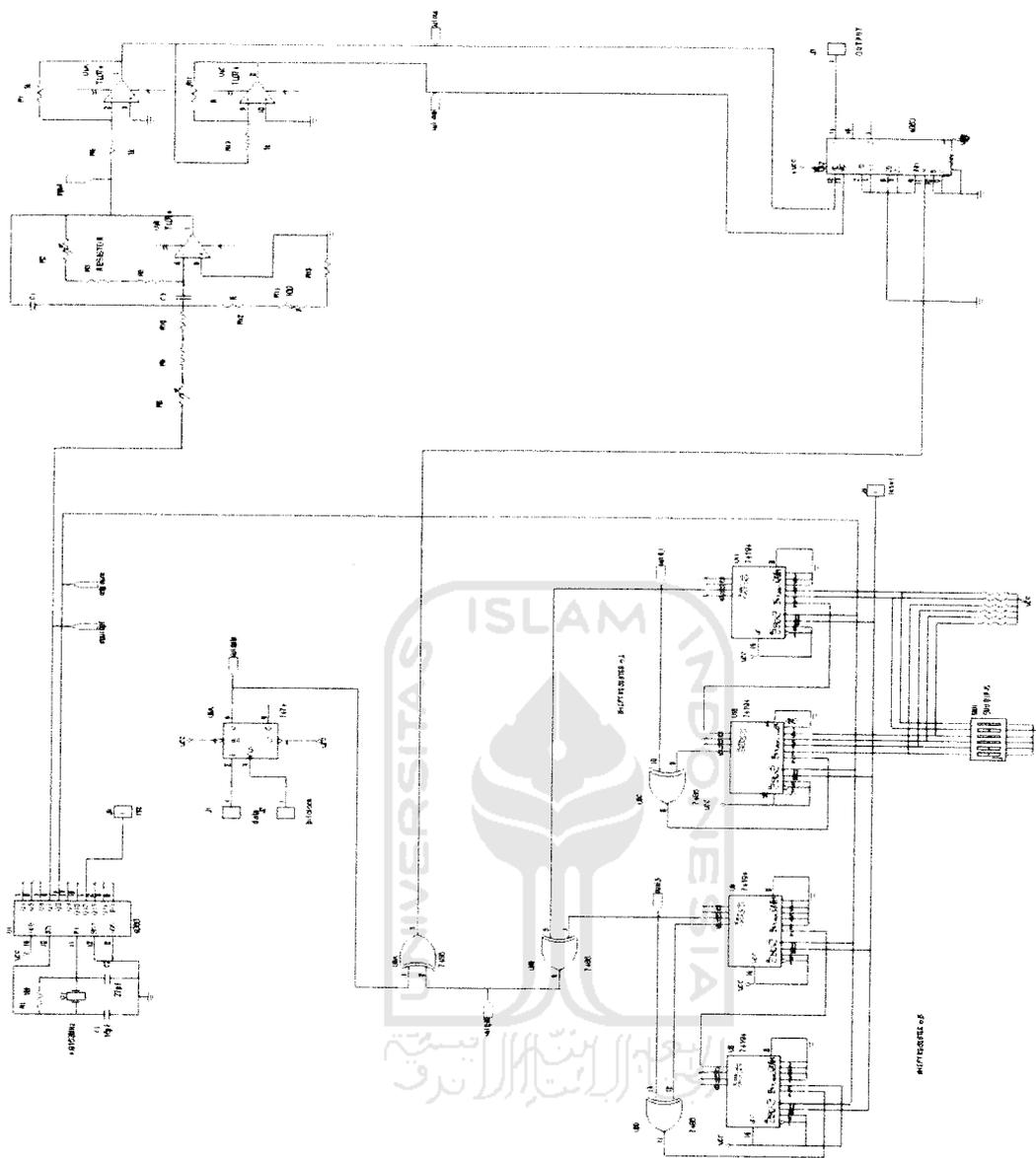
DAFTAR PUSTAKA

- Albert Paul Malvino, Ph.D., 1987, *Prinsip-Prinsip dan Penerapan Digital*, Erlangga, Jakarta
- Binatronika, 1984, *Penerapan Aneka IC TTL-CMOS-LINIER*, Binatronika, Bandung
- Clive Braithwaite, Jeffrey Hall, Paul Fay, Roy Pickup, 1985, *Pengantar Ilmu Teknik Elektronika*, PT Gramedia Jakarta
- Haykin, S., 1984, *Communication System*, 3th edition, John Wiley and Sons, Singapore
- Kelompok Gramedia, 1994, *Elektronika Eksperimen*, PT Elek Media Komputindo
- Taub, H., D.L. Schilling., 1985, *Principles of Communication System*, 2nd edition, Prentice Hall Inc. New Jersey
- Wasito S, 1996, *Data Sheetbook I, Data IC Linier, TTL dan CMOS*, Jakarta : PT. Elex Media Komputindo, Kelompok Gramedia



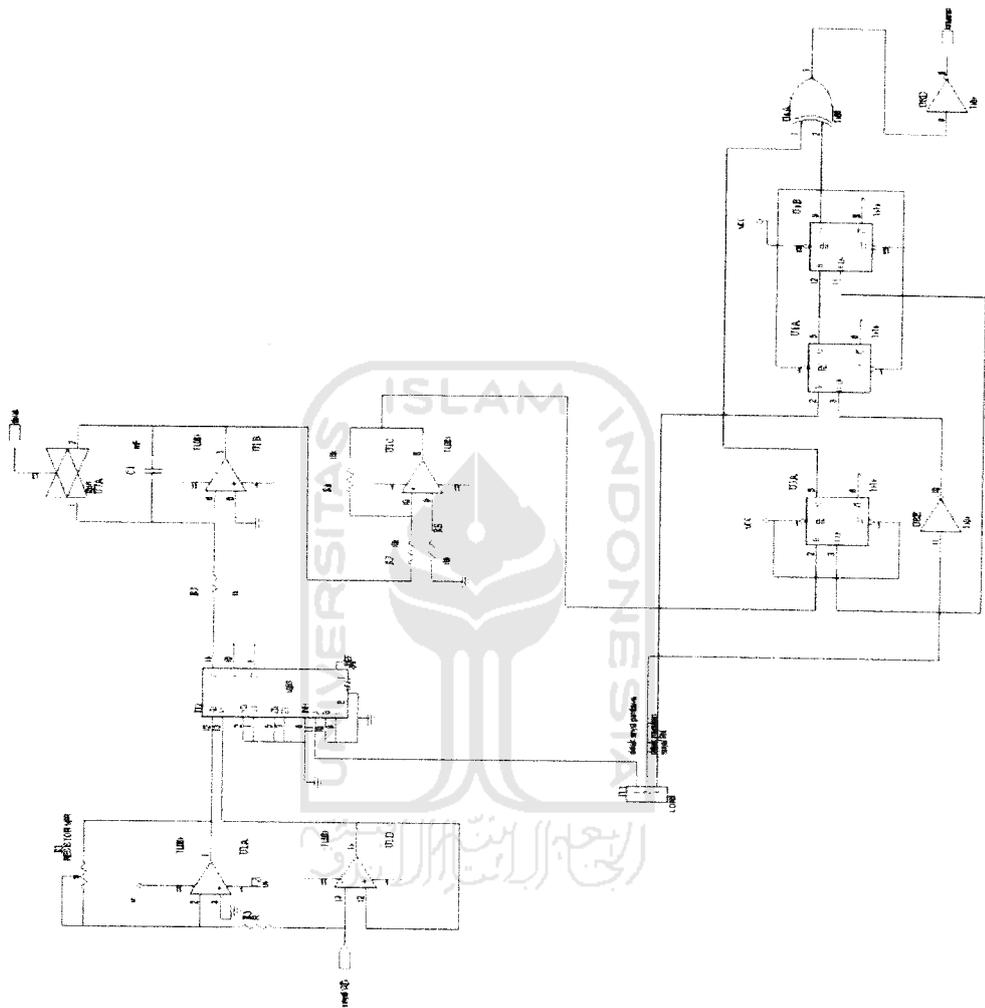
LAMPIRAN





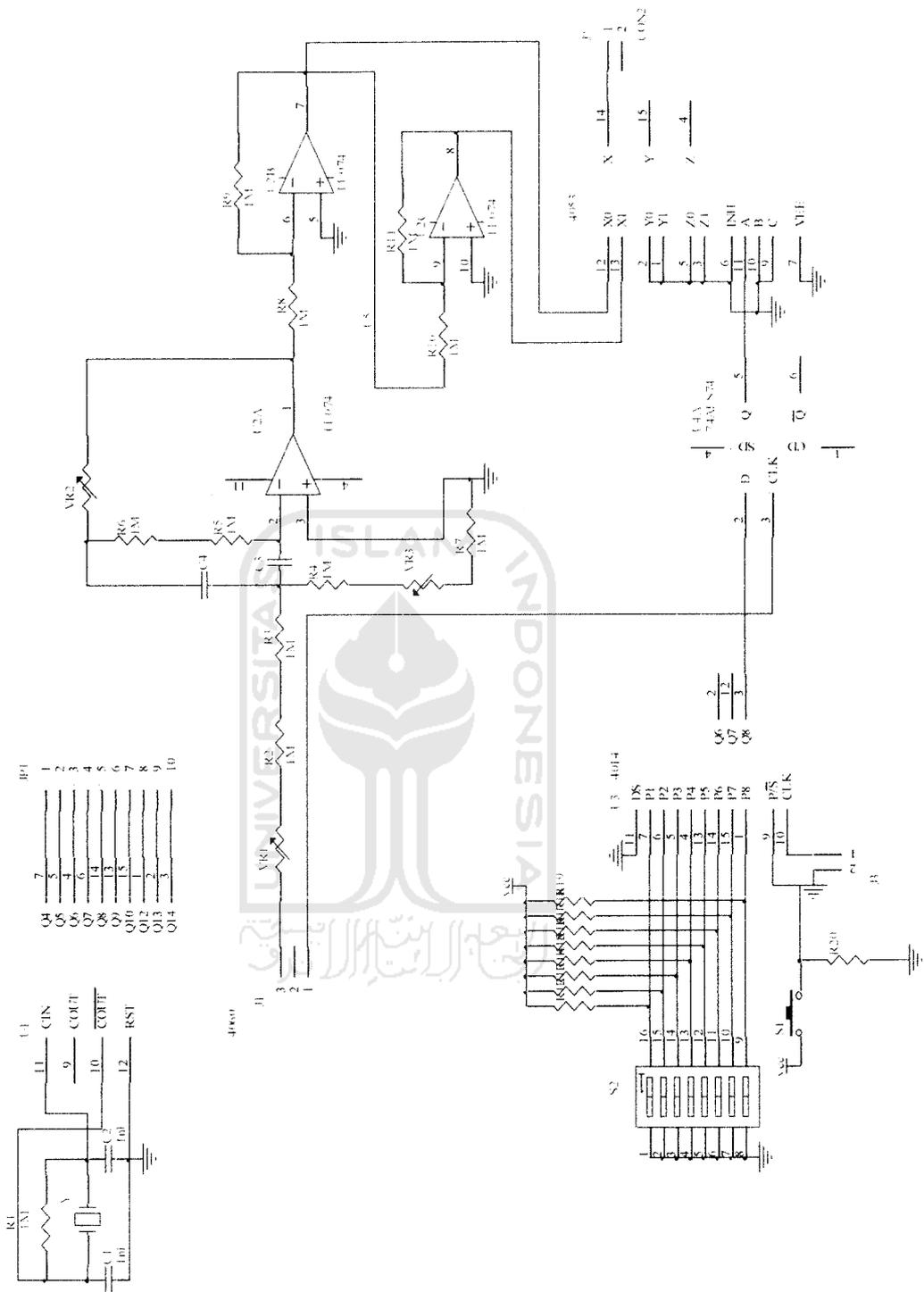
Gambar Pengirim

NO	REVISI
1	REVISI
2	REVISI
3	REVISI
4	REVISI
5	REVISI
6	REVISI
7	REVISI
8	REVISI
9	REVISI
10	REVISI



Gambar Penerima

No.	Nama	
No.	Angka Akhir	
No.	Angka	
MUSKIPREDA 2019/2020		



Gambar Rangkaian PN

