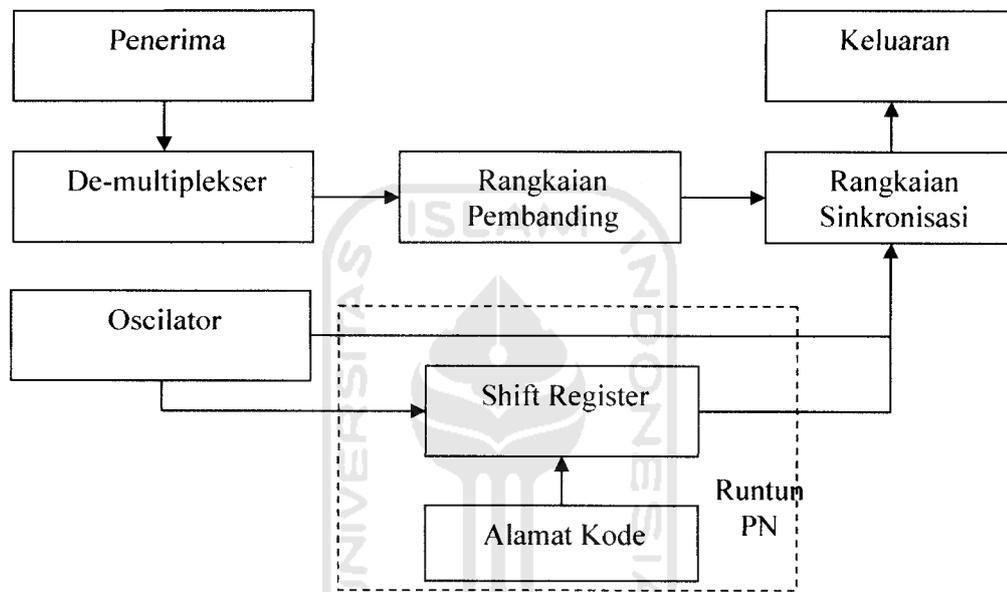


BAB III

PERANCANGAN SISTEM

3.1 Penerima

Secara umum diagram blok bagian penerima spektrum tersebar runtun langsung seperti gambar 3.1.



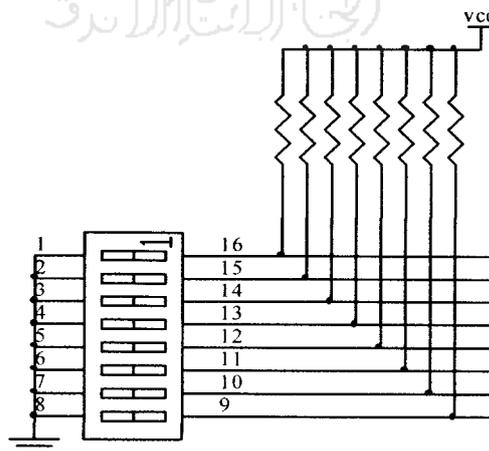
Gambar 3.1 Untai penerima

Masukan penerima diambil dari keluaran pemancar DSSS yang dihubungkan secara langsung. Runtun data serial delapan bit ini kemudian dikalikan dengan runtun derau semu. Runtun derau semu yang digunakan berupa Runtun Gold dengan panjang 63 yang dibentuk dengan menjumlahkan dua Runtun PN1 dan Runtun PN2, dengan pesat 17,318 kbps. Sedangkan pesat bit 4,329 Kbps. Perkalian data biner dengan runtun PN cukup dilakukan dengan operasi logika EXOR. Sinyal pembawa

yang dibutuhkan untuk mengirimkan sinyal informasi dihasilkan oleh suatu penyedia sinyal pembawa yang akan menghasilkan sinyal termodulasi baik sinyal $\cos \omega_0 t$ maupun $\cos (\omega_0 t + \theta)$. Pada bagian akhir untai pengirim adalah modulator yang akan menyebarkan sinyal dan menghasilkan keluaran sinyal spektrum tersebar $S(t)$.

3.2 Rangkaian *Dual Inline Package (DIP) Switch*

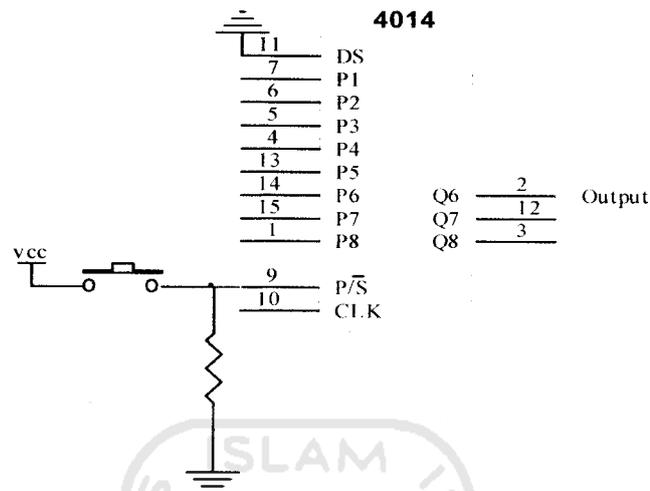
Pada sumber data *Dual Inline Package (DIP) Switch* 8-bit dihasilkan runtun data digital NRZ (*Non Return to Zero*) serial delapan bit. Pada *DIP-switch* 8-bit tersebut, level rendah ("0") dihubungkan dengan *ground*. Sedangkan pada level tinggi ("1") sebelum dimasukkan ke IC 4014, kaki – kaki keluaran dari *DIP-switch* dihubungkan dengan hambatan dan sumber tegangan. Pada rangkaian ini menggunakan hambatan sebesar $4K7\Omega$. Hambatan disini berfungsi sebagai pembatas saat saklar *DIP-switch* ON, maka *ground* tidak langsung terhubung ke sumber tegangan (V_{cc}). Rangkaian *DIP-Switch* yang digunakan ditunjukkan pada Gambar 3.2 berikut :



Gambar 3.2 Rangkaian *DIP-Switch*

3.3 Register Geser Dengan Masukan Paralel ke Keluaran Seri

Register geser dengan masukan paralel ke keluaran seri pada IC HCF4014BE yang digunakan ditunjukkan pada Gambar 3.3 berikut:



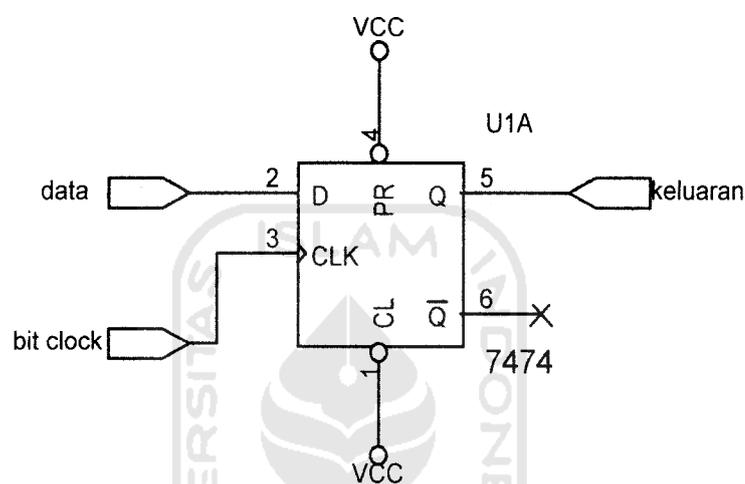
Gambar 3.3 Register geser paralel ke seri dengan masukan data 8-bit.

Pada register geser paralel ke seri, masukan data 8-bit peroleh dari sumber data yaitu dengan menggunakan *DIP switch* 8-bit. Data yang masih berupa paralel tersebut diserikan dengan register geser IC 4014 dengan masukan paralel dan keluaran seri. Dan pesat datanya dapat diatur sesuai detak masukannya dari pembagi frekuensi. Dalam hal ini, detak masukannya yang dimasukkan pada *clock* IC 4014 sebesar 4,329 KHz. Sedangkan pada kaki 9 IC 4014 (*Parallel/Serial Control*) dengan menambahkan *switch* dapat digunakan untuk mereset data masukkan agar diperoleh keluaran data yang baru. Keluaran dari IC 4014 (pada kaki 3) berupa runtun data 8-bit yang sudah dalam bentuk diseri untuk selanjutnya menjadi masukan pada penyerempak. Dan untuk memudahkan dalam pengamatan (agar

keluaran IC 4014 dapat diamati pada *oscilloscope*) maka keluaran dari IC 4014 (pada kaki 3) dihubungkan ke serial (kaki 11 pada IC 4014).

3.4 Penyerempak Data

Pada bagian penyerempak ini digunakan IC 74LS74A dan ditunjukkan pada Gambar 3.4 berikut:



Gambar 3.4 Penyerempak data.

Pada rangkaian ini, masukan detak yang digunakan sebesar 17.318 Hz (Q_8). Penyerempak ini berfungsi untuk menyerempakkan / mensinkronkan antara masukan data dari bagian *register* geser dengan detak yang dihasilkan oleh pembagi frekuensi. Saat masukan data '1' maka keluaran pada penyerempak juga '1'. Begitu juga dengan saat masukan data '0' maka keluaran pada penyerempak juga '0'. Sehingga diharapkan pada multiplekser analog, keluaran data yang sudah diserempakkan bisa sinkron dengan isyarat termodulasi.

3.5 Pembagi Frekuensi

Frekuensi yang dikeluarkan oleh osilator dimasukkan pada *clock* (kaki 11) sehingga dari frekuensi tersebut diperoleh keluaran frekuensi-frekuensi yang baru yang sesuai output dari pembagi frekuensi tersebut. Sedangkan kaki 10 (R_{TC}) berfungsi sebagai masukan resistor dari osilator. Dan kaki 9 (C_{TC}) berfungsi sebagai masukan kapasitor dari osilator. Dan kaki 9 ini biasa digunakan untuk osilator yang menggunakan osilator jenis RC. Sedangkan pada jenis osilator kristal kaki 9 ini tidak digunakan. IC 4060 bisa dibangkitkan dengan tegangan masukan (V_{DD}) sebesar +5, +10 dan +15 volt. Dan pada perancangan ini, yang digunakan adalah yang +5 Volt.

Keluaran yang dihasilkan oleh IC 4060 besarnya frekuensi berbeda – beda. Hal ini karena didasarkan pada Q yang berbeda-beda pada keluaran IC 4060. Untuk mudahnya, dapat diperjelas pada persamaan (3.1) berikut :

$$f_0 \text{ pada } Q_N = \frac{\text{frekuensi pada osilator kristal}}{2^N} \quad (3.1)$$

Keterangan :

Dimana nilai N pada 2^N adalah N angka pada Q_N . Besar nilai N dimulai dari 4 sampai 10 dan 12 sampai 14. Dan ini disesuaikan dengan kaki-kaki keluaran pada IC 4060. Jadi, misalnya yang diamati pada Q_{10} (kaki 15) maka nilai N-nya pada persamaan adalah 10. Berikut adalah besar nilai frekuensi yang dikeluarkan pada IC 4060 (dari Q_4 sampai Q_{10} dan Q_{12} sampai Q_{14})

- $f_0 \text{ pada } Q_4 \text{ (kaki 7) } = \frac{\text{frekuensi pada osilator kristal}}{2^4}$

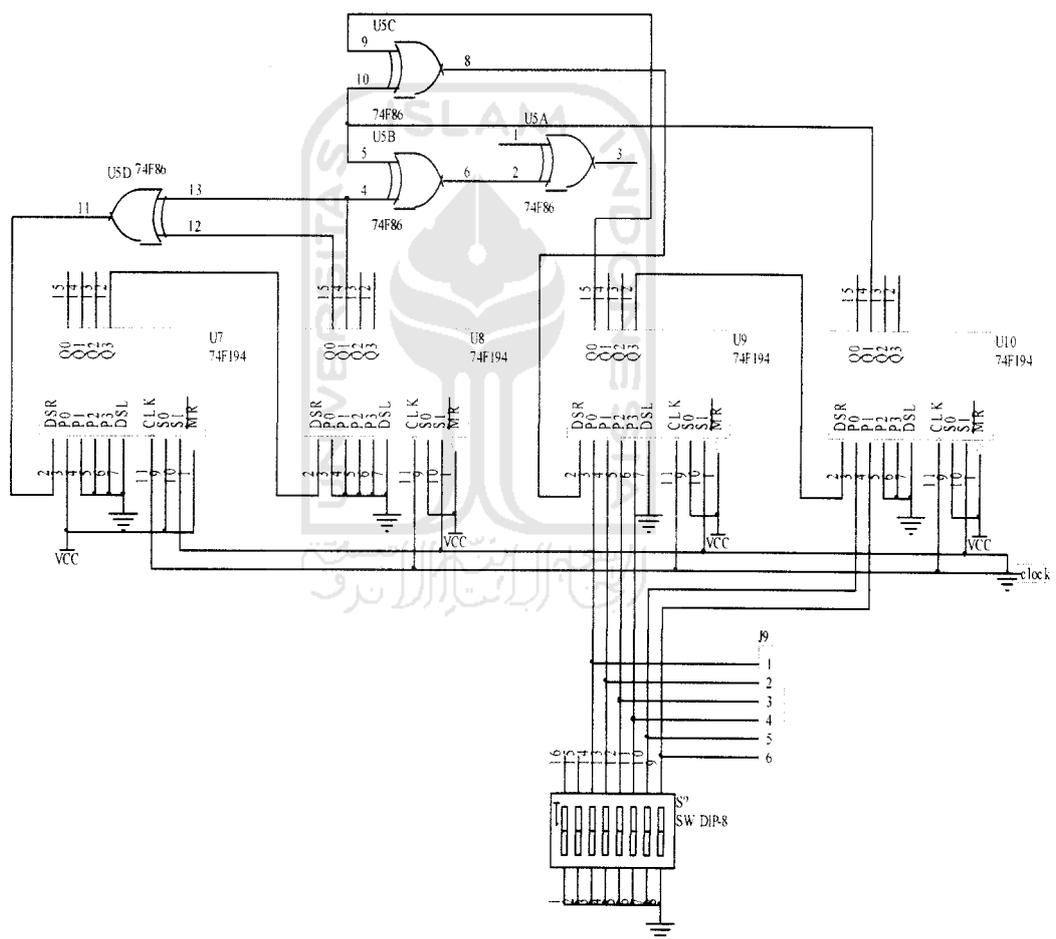
$$= \frac{4,43 \cdot 10^6 \text{ Hz}}{2^4} = 277,100 \text{ KHz.}$$

- f_0 pada Q_5 (kaki 5) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^5} = 138,550 \text{ KHz.}$
- f_0 pada Q_6 (kaki 4) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^6} = 69,275 \text{ KHz.}$
- f_0 pada Q_7 (kaki 6) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^7} = 34,637 \text{ KHz.}$
- f_0 pada Q_8 (kaki 14) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^8} = 17,318 \text{ KHz.}$
- f_0 pada Q_9 (kaki 13) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^9} = 8,659 \text{ KHz.}$
- f_0 pada Q_{10} (kaki 15) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^{10}} = 4,329 \text{ KHz.}$
- f_0 pada Q_{12} (kaki 1) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^{12}} = 1,082 \text{ KHz.}$
- f_0 pada Q_{13} (kaki 2) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^{13}} = 541 \text{ Hz.}$
- f_0 pada Q_{14} (kaki 3) = $\frac{4,43 \cdot 10^6 \text{ Hz}}{2^{14}} = 270 \text{ Hz.}$

Sedangkan dalam rangkaian, f_0 yang digunakan adalah pada Q_8 , Q_9 dan Q_{10} yaitu 17,318 KHz, 8,659 KHz dan 4,329 KHz. Hal ini dikarenakan untuk mempermudah dalam pengamatan pada *oscilloscope* dengan frekuensi yang tidak terlalu besar itu. Q_8 digunakan untuk masukan pada unit penyerempak, Q_9 digunakan untuk masukan untai pembentuk isyarat termodulasi dan Q_{10} digunakan sebagai pembangkit detak unit paralel ke seri.

3.6 Runtun PN

Pembangkit runtun berjumlah enam buah, dengan memanfaatkan Runtun Gold. Runtun Gold terbentuk dari dua register geser, dalam hal ini menggunakan register geser (6,5) dan register geser (6,1). Masing-masing register geser dibentuk dari dua buah IC register geser 74194 yang dirangkai secara seri menjadi enam gerbang, untuk menghasilkan 63 runtun dalam satu siklus. Untuk masukan register geser (6,5) dibuat tetap 100 000.

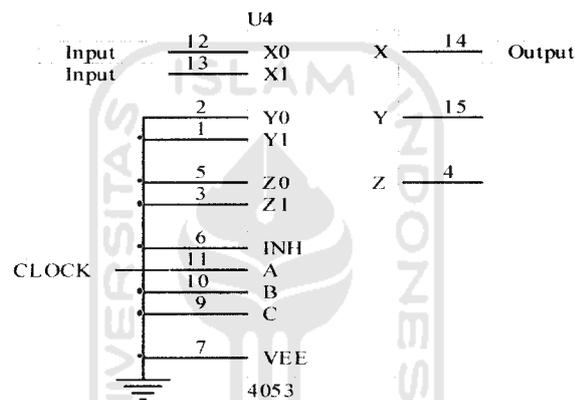


Gambar 3.5 Register geser

Pada gambar 3.5 memperlihatkan rangkaian register geser (6,5) dan (6,1) yang mempunyai enam register dan umpan balik masukan ditempatkan pada register kelima. Panjang runtun maksimal 63 didapatkan dari persamaan 2.7. Hal ini merupakan syarat dari pembentukan Runtun Gold.. Untuk pembangkitan runtun ini dipakai saklar untuk mendapatkan kode awal yang diinginkan pengirim.

3.7 Multiplekser Analog

Multiplekser analog yang digunakan ditunjukkan pada Gambar 3.6 berikut:



Gambar 3.6 Multiplekser *analog*

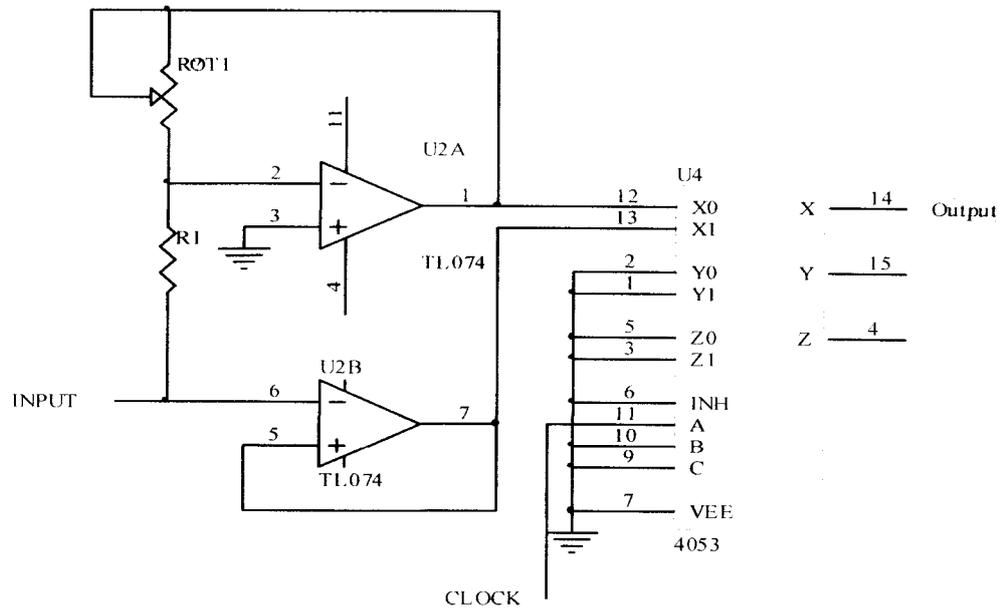
Keluaran sinyal sinusoidal (input 1 dan input 2) dari pembentuk isyarat termodulasi yang sudah mempunyai beda fase 180^0 akan menjadi masukan multiplekser *analog*. X_0 (kaki 12) diberi masukan sinyal 1 dan X_1 (kaki 13) diberi masukan sinyal 2. Sedangkan runtun data 8-bit dimasukkan pada pin A (kaki 11). Karena pada Y_0 , Y_1 , Z_0 , Z_1 , B, C dan EN tidak diberi masukan maka pin – pin tersebut di-*ground*-kan. Karena hanya digunakan masukan pada X_0 dan X_1 maka keluaran multiplekser analog yang digunakan hanya pada pin X.

Multiplekser analog bekerja saat masukan data pada pin A berlogika rendah '0' maka sinyal 1 yang terhubung dengan X_0 akan aktif dan akan menjadi keluaran multiplekser analog. Begitu juga sebaliknya saat masukan data pada pin A berlogika tinggi '1' maka sinyal 2 yang terhubung dengan X_1 akan aktif akan menjadi keluaran multiplekser analog. Jadi multiplekser analog bekerja sesuai dengan masukan data pada pin A yang dihubungkan dengan masukan isyarat sinyal yang termodulasi sehingga diperoleh keluaran sinyal dengan beda fase 180^0 .

3.8 Demultiplekser

Pertama kali dilakukan di penerima adalah memisahkan sinyal pesan dari sinyal pembawa yang menumpanginya. Proses ini juga dikenal dengan pengumpulan kembali (*despreading*). Untuk rancangan perangkat-keras ini dilakukan hanya menggunakan multiplekser analog dua jalur masukan. Prinsip kerjanya sama dengan di pengirim. Dimana masukan X_0 dan X_1 pada IC 4053 merupakan sinyal terkirim yang mempunyai polaritasnya dibuat terbalik dan tak-terbalik. Untuk mengendalikan IC multiplekser analog ini digunakanlah sinyal pembawa pesan yang telah dirubah menjadi gelombang kotak. Rangkaian demodulator tersaji pada Gambar 3.7.

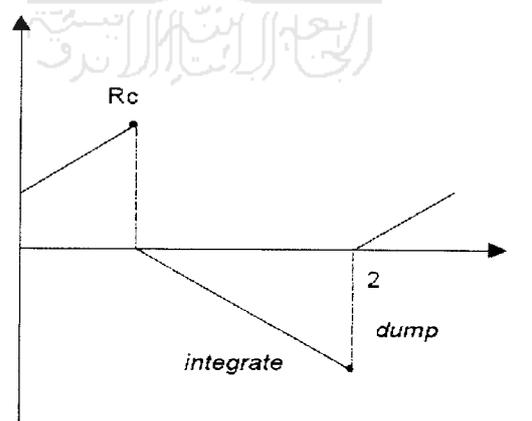
Sinyal tersebar $S(r)$ menjadi masukan bagi multiplekser analog ini. Kebalikan dari sinyal $S(r)$ ini digunakan sebagai masukan lain dari IC 4053. Agar mendapatkan sinyal yang mempunyai beda fase 180^0 ini digunakan penguat membalik dari sebuah penguat operasional.



Gambar 3.7 Rangkaian demodulator

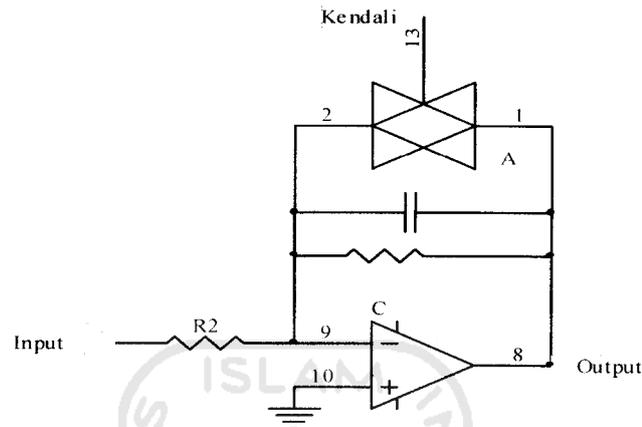
3.9 Pengintegral dan Pembuang

Rangkaian pengintegral dan pembuang (*integrate and dump*) berguna untuk mengintegalkan isyarat hasil demultipleks di penerima. Rangkaian ini terdiri dari sebuah pengintegral (*integrator*) dan saklar digital terkendali.



Gambar 3.8 Pengintegralan

Periode pengintegralan ditentukan oleh pulsa reset integrator yang diperoleh dari sumber detak, yang akan memicu saklar digital untuk mereset integrator tepat pada awal periode bit. Saklar digital yang digunakan adalah IC 4016 yang mempunyai waktu pensaklaran kecil sehingga mampu merespon pulsa reset.



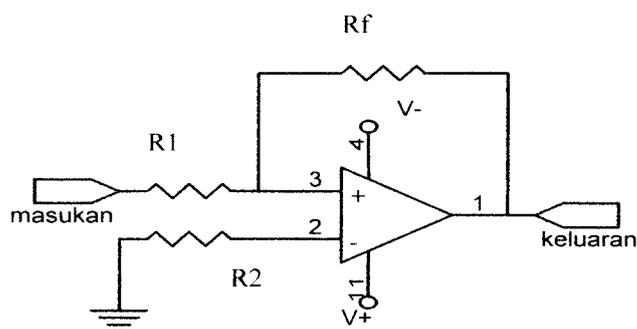
Gambar 3.9 Rangkaian pengintegral

3.10 Pembanding

Pembanding ini digunakan untuk memperbaiki bentuk isyarat keluaran pengintegral yang mempunyai amplitude kecil (tidak sempurna). Rangkaian yang digunakan merupakan pemacu Schmitt tak membalik yang membandingkan keluaran integrator terhadap dua tegangan ambang yang besarnya ditentukan oleh persamaan

$$V_{UT} = \frac{R1}{R1+R_f}(V_+) \quad (3.2)$$

$$V_{LT} = \frac{R1}{R1+R_f}(V_-) \quad (3.3)$$

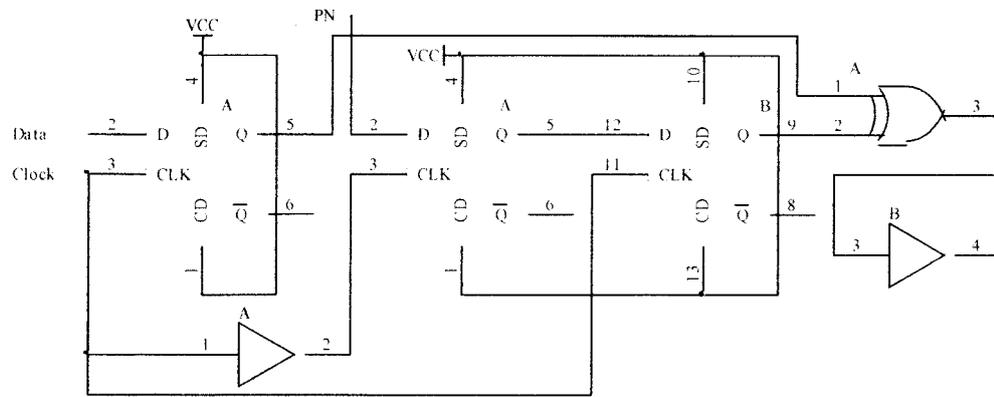


Gambar 3.10 Pembanding tegangan

3.11 Rangkaian Sinkronisasi

Rangkaian ini terdiri dari tiga flip-flop D, gerbang XOR dan NOT. Langkah pertama yang dilakukan untuk mendapatkan data terpulihkan yaitu dengan menyerempakkan data dengan flip-flop D, dengan masukan dari keluaran pembanding tegangan dan masukan detak dari sumber detak sebesar dua kali detak Runtun PN. Penyerempakan juga dilakukan untuk runtun PN dengan masukan detak flip-flop D merupakan kebalikan dari masukan detak pada penyerempak keluaran pembanding tegangan.

Hasil penyerempakan keluaran pembanding dan Runtun PN penerima kemudian dikalikan dengan gerbang logika XOR, maka keluaran isyarat dari gerbang logika XOR merupakan kebalikan dari data terkirim dari sumber data. Untuk mendapatkan hasil sama dengan data terkirim maka isyarat perlu dibalik dengan menggunakan gerbang logika NOT.



Gambar 3.11 Rangkaian sinkronisasi

