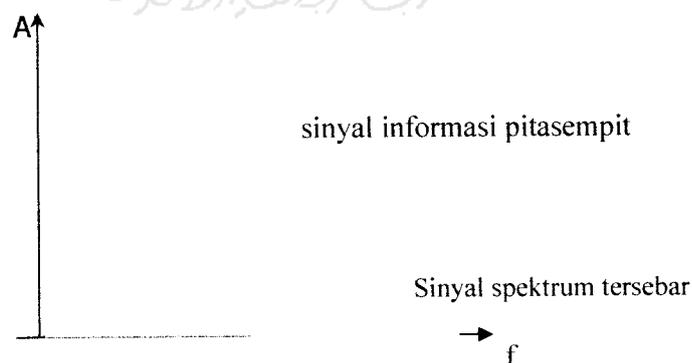


## BAB II

### LANDASAN TEORI

#### 2.1. Pendahuluan

Bentuk komunikasi yang semakin populer yaitu menggunakan spektrum penyebaran. Teknik spektrum penyebaran awalnya dikembangkan untuk kepentingan militer dan intelejen. Ide dasarnya adalah untuk menyebarkan sinyal informasi melalui *band width* yang lebih luas untuk mencegah dilakukannya pengecatan informasi dan gangguan lainnya. Spektrum tersebar menggunakan pita-lebar (*wideband*) yang sinyalnya terlihat seperti derau sehingga sulit untuk dideteksi, atau didemodulasi. Sinyal spektrum tersebar juga lebih sulit untuk diterjang (*jam*) dibanding sinyal pita-sempit. Kecilnya kemungkinan ditangkap dan anti-jam merupakan alasan mengapa militer menggunakan teknik spektrum tersebar. Penggunaan kode derau semu (PN) dalam komunikasi spektrum tersebar menyebabkan sinyal tampak lebih lebar dan seperti derau. Karakteristik inilah yang membuat sinyal spektrum tersebar memiliki kemungkinan untuk ditangkap rendah.



Gambar 2.1 Sinyal spektrum tersebar dan sinyal informasi pita sempit

Pada Gambar 2.1 ditunjukkan bagaimana suatu sinyal ketika sebelum dilakukan penyebaran mempunyai daya yang besar dibandingkan saat sinyal sudah melalui proses penyebaran. Parameter penting dalam spektrum tersebar adalah Faktor Penyebaran (*Spreading Factor*) atau Perolehan Pengolahan (*Processing Gain*), yang didefinisikan

$$G = \frac{BW_{rf}}{BW_{nf}} \quad (2.1)$$

Keterangan :

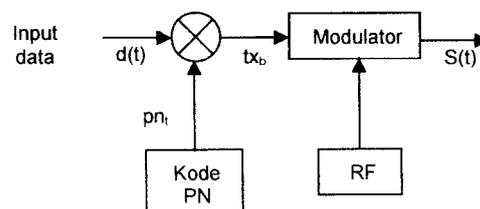
$G$  = Perolehan Pengolahan (*Processing Gain*)

$BW_{rf}$  = Lebar-pita dalam Hertz

$BW_{nf}$  = Kecepatan pesat informasi dalam bit per second

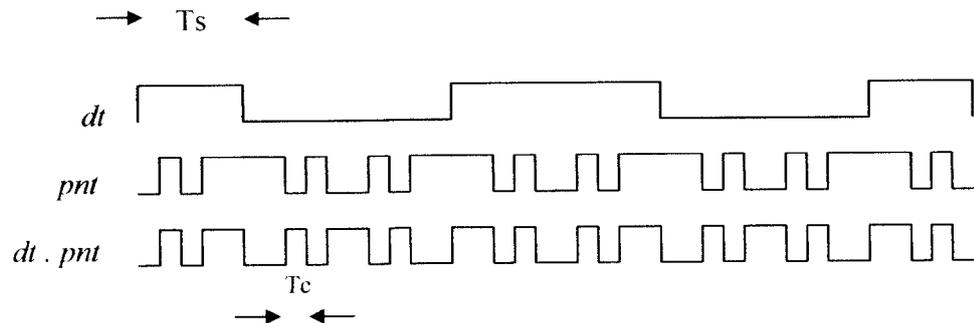
## 2.2. Spektrum Tersebar Runtun Langsung

Spektrum Tersebar Runtun Langsung (DSSS) dalam menyebarkan sinyal dengan mengalikan masukan data dengan suatu runtun kode tertentu, dalam hal ini menggunakan Runtun derau semu atau disebut juga Runtun PN (*Pseudo-Noise Sequence*). Oleh modulator hasil perkalian antara masukan data dengan runtun PN ditumpangkan pada sinyal pembawa (*frequency carrier*) agar dapat terkirim. Pembawa pada DSSS menempati frekuensi yang sudah ditentukan dan tidak berubah. Diagram blok untuk pengirim DSSS dapat dilihat pada Gambar 2.2



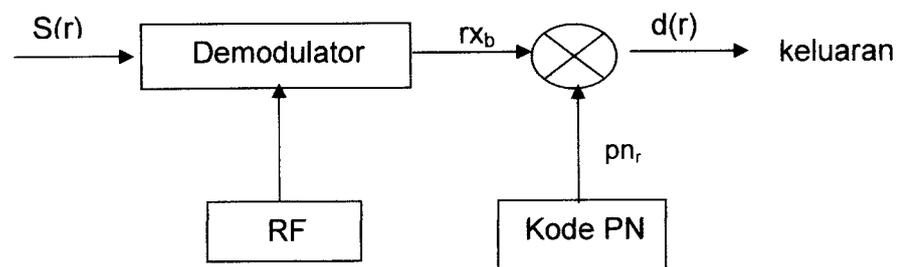
Gambar 2.2 Diagram blok pengirim DSSS

Dari diagram blok di atas terdapat dua masukan yaitu yang pertama data biner  $d(t)$  dengan kecepatan simbol  $R_s = 1/T_s$ , dan kedua adalah kode PN dengan kecepatan chip  $R_c = 1/T_c$ .



Gambar 2.3 Proses penyebaran dalam kawasan waktu

Gambar 2.3 menunjukkan proses penyebaran dalam kawasan waktu dimana terlihat periode simbol  $T_s$  lebih besar dari periode chip  $T_c$ , yang berarti pesat simbol  $R_s$  lebih kecil dibandingkan pesat chip  $R_c$ . Pada penerima, demodulator memisahkan sinyal pesan dari sinyal pembawa yang ditumpanginya. Sinyal pesan yang mengandung kode ini dicocokkan dengan kode PN di penerima. Sinyal pesan akan dipisahkan oleh kode dan diteruskan, jika kode PN pada sinyal masuk sama dengan kode di penerima. Jika PN di penerima tidak sama dengan PN di pengirim maka pengumpulan kembali (*despreading*) tidak akan terlaksana. Diagram blok 2.4 menunjukkan penerima DSSS.



Gambar 2.4 Diagram blok penerima DSSS

Proses pengumpulan kembali (*despreading*) di penerima terlihat pada Gambar 2.4. Sinyal tersebar  $S(r)$  menjadi masukan demodulator untuk memisahkan sinyal pembawa dan akan menghasilkan sinyal  $rx_b$  yang merupakan produk dari data biner dengan kode PN. Untuk menghasilkan data biner,  $rx_b$  dikalikan dengan kode PN. Keluaran perkalian di penerima ( $pn_r$  disamakan dengan  $pn_t$ )

$$d(r) = rx_b \cdot pn_r = \{d(t) \cdot pn_t\} \cdot pn_t \quad (2.2)$$

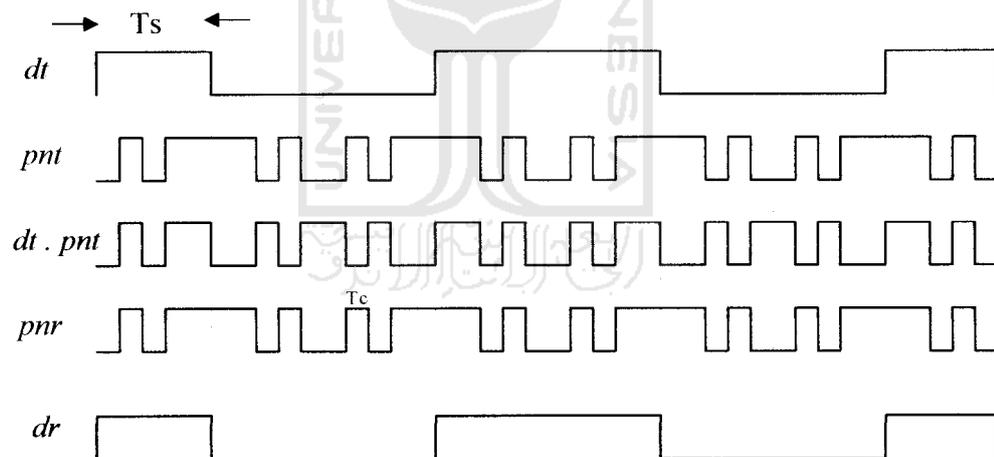
Keterangan :

$d(r)$  = Data Biner

$rx_b$  = Data biner dengan kode PN

$pn_r$  = Kode PN penerima

$pn_t$  = Kode PN pengirim



Gambar 2.5 Proses despreading pada kawasan waktu

Runtun PN  $pn_t$  diwakili dengan level  $-1$  dan  $+1$ , sebagai contoh  $+1 +1 +1 -1 +1 -1 -1$ . Pertukaran akan hilang ketika runtun PN  $pn_t$  dikalikan dengan dirinya sendiri (penyerempakan sempurna) karena

$$pn_t \cdot pn_t = +1 \quad (2.3)$$

Maka korelasi-diri

$$R_a(\tau=0) = \text{average}(pn_t \cdot pn_t) = +1 \quad (2.4)$$

Dan sinyal data akan terpulihkan di perkalian akhir sehingga  $d(t) = d(r)$ .

Jika sinyal yang diterima dikalikan dengan runtun PN  $pn_t$  dengan kode berbeda dengan yang berada di modulator, hasil akhir akan terlihat

$$d(r) = rx_b \cdot pn_t = \{d(t) \cdot pn_t\} \cdot pn_r \quad (2.5)$$

Pada penerima pendeteksian sinyal yang diinginkan dicapai dengan korelasi terhadap runtun PN lokal. Untuk keamanan komunikasi dalam pemakaian jamak, pengiriman data  $d(t)$  mungkin tidak akan diperoleh oleh seorang pemakai (*user*) jika runtun PN  $pn_t$  yang digunakan di pengirim tidak diketahui. Oleh karena itu korelasi-silang

$$R_c(\tau) = \text{average}(pn_t \cdot pn_r) \ll 1 \text{ untuk semua } \tau \quad (2.6)$$

akan dibutuhkan. Keluaran dari korelator digunakan pada penerima dengan perkiraan nol kecuali pengiriman yang diinginkan.

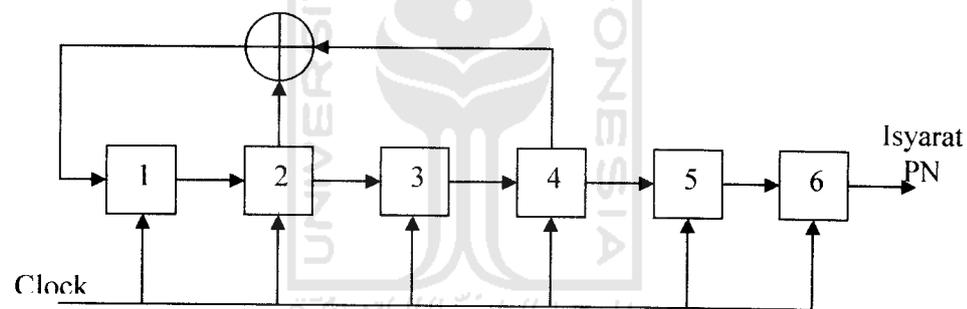
### 2.3. Runtun Derau Semu

Bentuk sinyal penyebaran (*spreading*) dipengaruhi oleh Runtun Derau Semu atau Runtun PN (*Pseudo-Noise*). Sebuah Runtun PN atau *Pseudorandom* adalah sebuah runtun sinyal digital yang mempunyai sifat seperti derau. Sebenarnya runtun

sinyal ini bukan merupakan derau namun suatu runtun kode digital yang telah ditentukan nilainya berjalan secara periodis, sehingga nampak seperti derau.

Panjang suatu PN bisa dibagi menjadi dua bagian yaitu yang pertama kode pendek dan yang kedua kode panjang. Runtun PN kode pendek panjangnya sama untuk tiap simbol data ( $N_c.T_c = T_s$ ). Sedangkan kode panjang memiliki periode runtun PN lebih panjang dari simbol data, pola chip yang berbeda digabungkan dengan tiap simbol ( $N_c.T_c \gg T_s$ )

Runtun ini terbentuk dari sebuah register geser (*shift register*) dengan untai kombinasi gerbang logika sebagai umpan balik pada masukan. Sebuah contoh mudah dalam pembuatan Runtun Derau Semu seperti Gambar 2.6 dengan menggunakan runtun maksimum.



Gambar 2.6 Diagram blok register geser

Panjang sebuah runtun maksimum dapat dituliskan

$$N = 2^m - 1 \quad (2.7)$$

Keterangan :

$N$  = Panjang runtun maksimum

$m$  = Panjang register geser

Jika nilai  $m$  adalah 4 seperti pada Gambar 2.6 maka panjang runtun maksimum adalah  $N = 2^4 - 1$ , yaitu 15.

Panjang runtun maksimum merupakan siklus yang dibutuhkan suatu register geser untuk kembali menuju nilai awal. Jika masukan untuk gambar di atas adalah 0001, pergeseran pada register dapat dilihat pada tabel 2.1 di bawah ini

Tabel 2.1 Pergeseran register geser

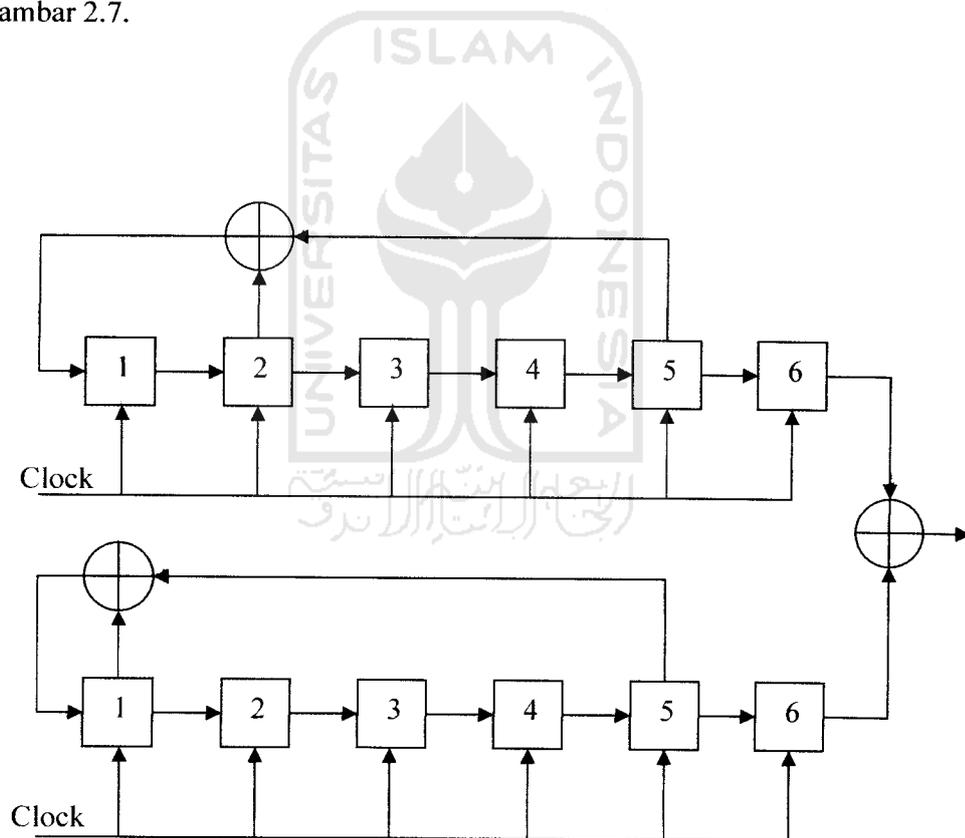
1	2	3	4
1	0	0	0
1	1	0	0
1	1	1	0
1	1	1	1
0	1	1	1
1	0	1	1
0	1	0	1
1	0	1	0
1	1	0	1
0	1	1	0
0	0	1	1
1	0	0	1
0	1	0	0
0	0	1	0
0	0	0	1

Untuk runtun maksimum ini mempunyai jumlah bit 1 lebih banyak dari bit 0 pada sebuah periode runtun. Jumlah bit 1 dalam runtun maksimum diperoleh dari  $2^{m-1}$  dan jumlah bit 0 sebesar  $2^{m-1} - 1$ .

## 2.4. Runtun Gold

Runtun Gold adalah satu jenis Runtun PN. Runtun Gold dibangkitkan dengan menggunakan *Modulo-2 adder (XORING)* dari dua runtun maksimum yang mempunyai faktor kode (panjang runtun) sama. Kedua runtun ini ditambahkan chip demi chip dengan pewaktuan sinkron. Pergeseran fase pada salah satu runtun akan menghasilkan Runtun Gold yang berbeda. Runtun Gold juga mempunyai panjang runtun  $2^m-1$ . Untuk mendapatkan Runtun Gold yang ideal selisih jumlah bit 1 dan bit 0 dari runtun hanya 1 bit. Jumlah bit 1 didapatkan dari  $2^{m-1}$ .

Suatu diagram blok yang menunjukkan sebuah Runtun Gold digambarkan di Gambar 2.7.



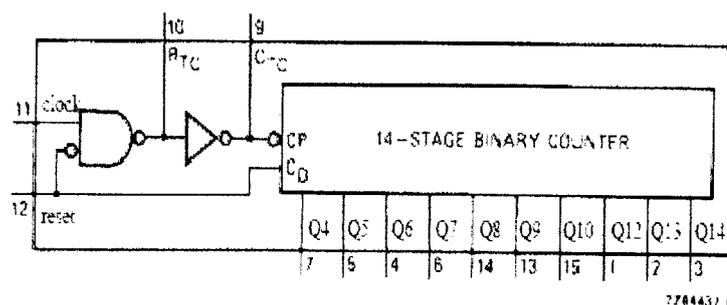
Gambar 2.7 Contoh pembuatan Runtun Gold dengan  $[5,2]_s$  dan  $[5,1]$

## 2.5. Pembagi Frekuensi

Pada pembagi frekuensi ini berfungsi sebagai pembagi frekuensi masukan. Maksudnya, dengan masukan frekuensi yang nilainya masih besar (dari oscilator) diharapkan diperoleh keluaran dengan frekuensi yang lebih kecil dari frekuensi masukan sehingga diperoleh frekuensi yang diinginkan. Pembagi frekuensi ini sudah banyak dijumpai pasaran. Salah satunya penggunaan pembagi frekuensi ini pada IC 4060. Pada jenis oscilator ini, terdapat tiga terminal oscilator (*Clock*, *Out 1*, *Out2*), sebuah *Reset* dan terdapat sepuluh keluaran ( $Q_4$  sampai dengan  $Q_{10}$  dan  $Q_{12}$  sampai dengan  $Q_{14}$ ). *Clock* (pin 11) berfungsi sebagai masukan clock dari osilator. Level tinggi berada pada *Reset* dan level Rendah berada pada  $Q_4$  sampai dengan  $Q_{10}$  dan  $Q_{12}$  sampai dengan  $Q_{14}$ . *Supply* tegangan berada pada kisaran 3 V sampai dengan 18 V. Tabel kebenaran untuk IC 4060 ditunjukkan pada tabel 2.2 berikut :

Tabel 2.2. Tabel Kebenaran IC 4060

Clock	Reset	Keluaran
	L	Tidak ada perubahan
	L	Menuju ke keadaan selanjutnya
<b>X</b> ( <i>don't care</i> )	H	Semua keluaran adalah Rendah



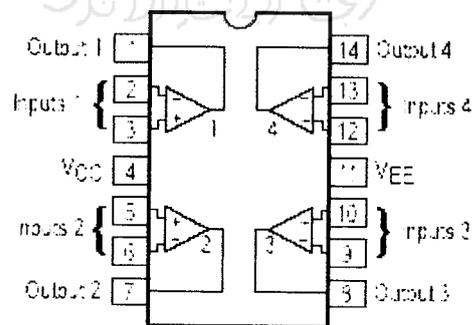
Gambar 2.8. Konfigurasi IC 4060

Tabel 2.3. Keterangan Pin IC 4060

Pin Nomor	Symbol	Nama
1, 2, 3	Q <sub>12</sub> sampai Q <sub>14</sub>	<i>Couter Output</i>
4, 5, 6, 7, 14, 13, 15	Q <sub>4</sub> sampai Q <sub>10</sub>	<i>Couter Output</i>
8	Gnd	<i>Ground (0 V)</i>
9	Out2	<i>External Capacitor</i>
10	Out 1	<i>External Resistor</i>
11	Clock	<i>Clock Input</i>
12	Reset	<i>Reset</i>
16	V <sub>dd</sub>	Sumber tegangan

## 2.6. Penguat Operasional (*OP-AMP*)

Sebuah penapis aktif merupakan suatu rangkaian penapis yang tersusun atas resistor-resistor, kapasitor dan rangkaian penguat. Biasanya berupa penguat operasional. *Operasional Amplifier* biasa disingkat *Op-Amp*, merupakan *solid state* yang mampu untuk berbagai keperluan hanya dengan tambahan sedikit komponen *eksternal*. Adapun simbol rangkaian *Op-Amp* dan pin konektor TL074 dapat ditunjukkan pada Gambar 2.9 sebagai berikut :



Gambar 2.9. Pin Konektor TL074

Dari gambar diatas, dapat dilihat bahwa *Op-Amp* memiliki 2 masukan yaitu masukan non-inversi/masukan positif (+). Biasanya *Op-Amp* diberi catu daya poralitas ganda/bipolar dalam jangkauan  $\pm 5$  hingga  $\pm 15$  volt.

Seperti yang telah disebutkan sebelumnya bahwa *Op-amp* memiliki dua masukan. Perbedaan antara keduanya sebagai berikut :

- a) Jika sinyal melalui masukan *non-inverting* atau positif (+) maka keluarannya sefase (*in fase*) dengan masukannya. Jika masukannya positif begitu juga dengan keluarannya.
- b) Jika sinyal melalui masukan *inverting* atau negatif (-) maka keluarannya berbeda  $180^0$  (*out of phase by  $180^0$* ) atau setengah siklus. Jika sinyal positif maka keluarannya menjadi negatif (dibalik).  
Pada gambar 2.10 ditunjukkan Op-Amp dengan masukan *inverting* dan *non-inverting*.

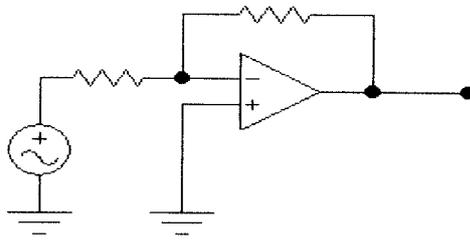


( a ) *Op-Amp inverting* ( b ) *Op-Amp non- inverting*

Gambar 2.10. Jenis – jenis masukan pada Op-Amp

### 2.6.1 Penguat *Inverting*

Penguat *Inverting* dasar dengan tahanan masuk  $R_a$  dan tahanan umpan balik  $R_b$ . Terminal bukan pembalik (*inverting*) dibumikan. Tegangan masuk  $V_i$  dan keluar  $V_o$ . Rangkaian penguat *Inverting* ditunjukkan pada gambar 2.11 :



Gambar 2.11. Rangkaian penguat *inverting*

Persamaan yang berkaitan dengan Gambar 2.11 adalah :

$$V_o = -\frac{R_2}{R_1} V_i \quad (2.8)$$

Keterangan :

$V_o$  = Tegangan Keluar

$V_i$  = Tegangan Masuk

$G$  = Penguatan tegangan

Penguatan tegangan ( $G$ ) atau perbandingan tegangan keluaran terhadap tegangan masukan dapat dituliskan sebagai berikut :

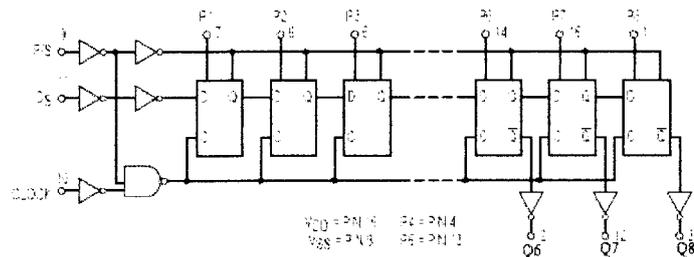
$$G = \frac{V_o}{V_i} = -\frac{R_2}{R_1} \quad (2.9)$$

Dengan demikian, penguatan tegangan bisa kurang dari 1, sama dengan 1 (*unity*) atau lebih dari 1.

### 2.7. Shift Register 8-bit

Masukan data yang berupa paralel 8 bit diubah kedalam bentuk seri. Pada perancangan ini digunakan IC 4014 sebagai *shift register*. IC 4014 adalah *Integrated Circuit* (IC) yang dibangun dalam *Metal Oxide Semiconductor Technology* tersedia

dalam bentuk DIP dan SOP *pack*. IC ini mempunyai 8 masukan paralel (P1 sampai P8) , 1 masukan seri/DS (*serial in*), pengontrol masukan seri/paralel dan 3 keluaran (Q6, Q7, Q8). Pada IC ini, masukan dikontrol dengan *Parallel/Serial Input* dan *supply* tegangan berada pada kisaran 3 V sampai dengan 20 V



Gambar 2.12 Diagram logika IC 4014

Tabel 2.4. Keterangan Pin IC 4014

Pin Nomor	Simbol	Nama
7, 6, 5, 4, 13, 14, 15, 1	P1 sampai P8	Masukan paralel
11	<i>Serial in</i>	Masukan seri
9	<i>Parallel/Serial Control</i>	<i>Parallel/Serial Input Control</i>
10	<i>Clock</i>	Masukan <i>Clock</i>
2, 3, 12	Q6, Q7, Q8	<i>Buffered Outputs</i>
8	V <sub>SS</sub>	Tegangan negatif
16	V <sub>DD</sub>	Tegangan positif

Tabel 2.5. Tabel Kebenaran IC 4014

Clock	Serial Input(Ds)	Kontrol Paralel/serial	P – 1	P – n	Q <sub>1</sub>	Q <sub>n</sub>
	X	1	0	0	0	0
	X	1	1	0	1	0
	X	1	0	1	0	1
	X	1	1	1	1	1
	0	0	X	X	0	Q <sub>n-1</sub>
	1	0	X	X	1	Q <sub>n-1</sub>
	X	X	X	X	Q <sub>1</sub>	Q <sub>n</sub>

### 2.8 Flip-flop D

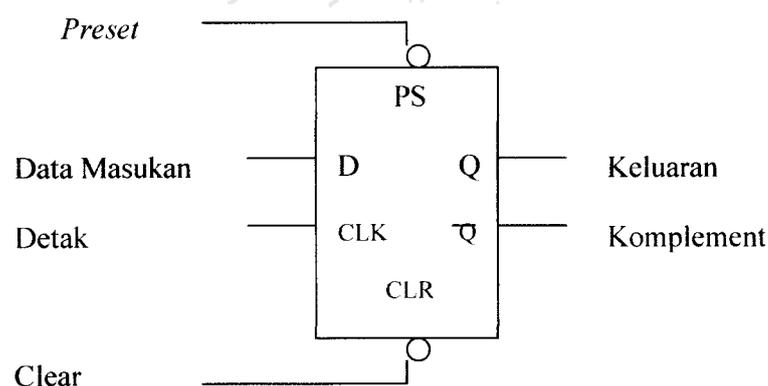
*Multivibrator* adalah suatu rangkaian *regeneratif* dengan dua buah piranti aktif yang dirancang sedemikian rupa sehingga salah satu piranti bersifat menghantarkan pada saat piranti lain terpacu. *Multivibrator* dapat menyimpan bilangan biner, mencacah pulsa, menyerempakkan operasi, operasi aritmatika serta melaksanakan fungsi-fungsi pokok lainnya dalam sistem digital.

Ada tiga jenis *multivibrator*, yaitu : *astabil multivibrator*, *monostabil multivibrator* dan *bistabil multivibrator*. Nama lain dari *multivibrator bistabil* adalah *flip-flop*, yaitu *multivibrator* yang keluarannya adalah suatu tegangan rendah atau tinggi, 0 atau 1. Keluaran ini tetap rendah atau tinggi, untuk mengubahnya harus didrive oleh suatu masukan yang disebut pemicu (*trigger*).

Flip-flop dapat digolongkan atas beberapa jenis antara lain : *S-R Flip-flop*, *Clocked S-R Flip-flop*, *Flip-flop T*, *Flip-flop D*, *Flip-flop JK*. Dalam hal ini hanya dibahas tentang *Flip-flop D*.

*Flip-flop D* hanya mempunyai satu masukan data (D) dan satu masukan detak (CLK). Keluaran dari tabel Q dan  $\bar{Q}$ . *Flip-flop D* sering disebut “flip-flop tunda”. Kata “tunda” menggambarkan apa yang terjadi pada data atau informasi pada masukan D. Data (0 atau 1) pada masukan D ditunda 1 pulsa detak dari pemasukan sampai keluaran Q.

Pada flip-flop komersial khusus terdapat tambahan dua masukan *extra* [PS(*Preset*) dan CLR (*Clear*)]. Masukan PS akan mengeset keluaran Q menjadi satu (1) bila dibuka oleh suatu logis 0. Masukan *clear* akan meng-*clear*-kan keluaran Q menjadi 0 bila dibuka dengan suatu logis 0. Masukan asinkron (PS dan CLR) akan menolak masukan *sinkron* (D dan CLK). Saat masukan asinkron tidak dibuka (PS=1 dan CLR= 1), flip-flop D dapat diset dan *direset* menggunakan masukan D dan CLK. Masukan D dan CLK beroperasi seperti pada *flip-flop D*. Simbol dan diagram logika IC 4014 ditunjukkan pada gambar 2.13.



Gambar 2.13. Simbol IC 7474

Tabel 2.6. Tabel Kebenaran D flip-flop dengan IC 7474

Metode Operasi	Masukan				Q	$\overline{Q}$
	<i>Asinkron</i>		<i>Sinkron</i>			
	PS	CLR	CLK	D		
<i>Asynchronous Set</i>	0	1	X	X	1	0
<i>Asynchronous Resey</i>	1	0	X	X	0	1
<i>Prohibited</i>	0	0	X	X	1	1
<i>Set</i>	1	1	↑	1	1	0
<i>Reset</i>	1	1	↑	0	0	1

## 2.9 Multiplexer Analog

Fungsi multiplexer memilih 1 dari N masukan data dan meneruskan data yang dipilih itu ke suatu informasi tunggal. Jenis – jenis multiplexer antara lain :

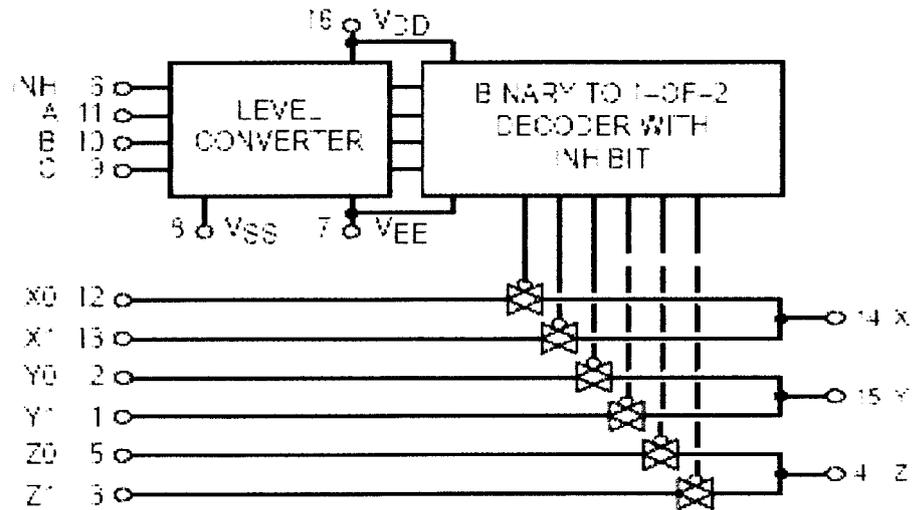
- Multiplexer 8 ke 1 saluran ( IC 74151 dan IC 4051 ).
- Multiplexer 4 ke 1 saluran ( IC 74153 dan IC 4052 ).
- Multiplexer 2 ke 1 saluran ( IC 74157 dan IC 4053 ).

Dalam hal ini dibahas tentang multiplexer 2 ke 1 menggunakan IC 4053. IC 4053 adalah IC multiplexer/demultiplexer *analog* 2 kanal bertiga yang terdiri atas tiga *select* dari dua saklar dwiarah yang masing-masing dikoneksikan kepada sebuah masukan ( $X_0$   $X_1$ ,  $Y_0$   $Y_1$ ,  $Z_0$   $Z_1$ ) dan sisi yang lain dikoneksikan kepada sebuah keluaran ( $X$   $Y$   $Z$ ). Pada gambar 2.13 ditunjukkan diagram fungsional dari IC 4053.

Dengan *enable* rendah (0) maka salah satu saklar terpilih (impedansi rendah, status ON) oleh masukan *address* (A, B, (C)). Dapat dilihat pada tabel 2.7 Tabel Kebenaran. Sedangkan dengan *enable* tinggi maka semua saklar berada dalam impedansi tinggi, status *off*. Tidak tergantung pada masukan *address* (A, B, (C)).  
*Supply* tegangan berkisar antara 3 Vdc sampai dengan 18 Vdc.

Tabel 2.7. Tabel Kebenaran IC 4053B

Kontrol Masukan				Saklar On ( Impedansi Rendah )		
<i>INHIBIT</i>	<i>Select</i>			4053B		
	C	B	A			
0	0	0	0	Z0	Y0	X0
0	0	0	1	Z0	Y0	X1
0	0	1	0	Z0	Y1	X0
0	0	1	1	Z0	Y1	X1
0	1	0	0	Z1	Y0	X0
0	1	0	1	Z1	Y0	X1
0	1	1	0	Z1	Y1	X0
0	1	1	1	Z1	Y1	X1
1	X	X	X	<i>None</i>	<i>None</i>	<i>None</i>



Gambar 2.14. Diagram fungsional untuk IC 4053

